

ESD保護をリードするマキシム社

工場内及び現場における機器故障が静電放電(ESD)に起因していることは、稀ではありません。こうした故障は一見他のタイプの故障のように見えることが多いため、追跡することは楽ではありません。例えば製造時において、最終試験における歩留りの低下の原因がまず部品やサブアSEMBリの不良に求められ、その後で(さらに調査した結果)、OEM製造又は試験プロセスにおいてその部品がESDにさらされたことが判明することがあります。

早期の現場故障及び工業用機器の取付後の問題については、取付時のESDに起因していることが多々あります。最もたちの悪いESD損傷は、機器の性能を悪化させるが(少なくとも始めは)動作に明らかな影響を与えないものです。こうした損傷は直ちに不規則又は非直線の動作を生じますが、何ヶ月あるいは何年間もはっきりした故障にならないことがあります。

本記事では、製品をESDから保護する方法について説明します。エレクトロニクス業界で必要とされている標準試験方法についてまず概説し、ESD保護のためのいくつかの一般的な技法を紹介した後、マキシム社の特許取得ESD保護デバイスの一部について説明します。注意深い設計でこれらのデバイスによって製品の品質を改善し、コストの削減及びメーカーとしての評判の保持を計ることができます。

損傷の可能性

顕微鏡写真(図1)に、競合他社のRS-232インタフェースICが15kV(一般的な試験レベル)のESD衝撃を受けた後の損傷が示されています。この場合は、オーバストレスによってチップ上のメタライゼーションが蒸発してしまったため、一見して明らかな大規模な故障になっています。

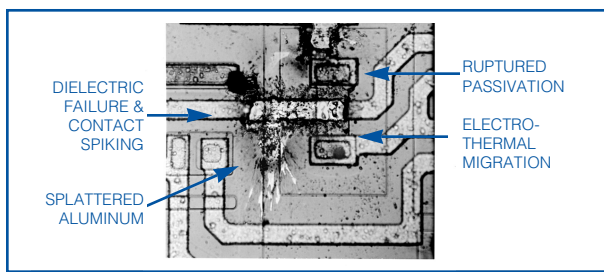


図1. この顕微鏡写真には保護のないRS-232レシーバのESD損傷が示されています。

他の場合には、ゲートオキサイド層や埋め込まれた層の目に見えない故障を調べるためにメタライゼーションやその他の層を注意深く取り除く必要があります。ESD衝撃が機器のコアにまで侵入することもあります。ちょうど雷のように、ESDはエネルギーが消散するまで回路の中を走ります。そして、しばしば予期しない結果を引き起こします。

高電圧はどこから来るか?

2つの物質を機械的に引き離すと、静電的な電荷が生じます。他の面では中性の物質でも、その表面は多かれ少なかれ電気的に二重層になっています。すなわち、外側の層に電子の大半があって、それが物質の内部の正電荷と平衡を保っている状態です。物質によっては表面電荷の極性が逆のこともあります。表面電荷が反対の物質同士が接触すると、電子が移行することによって片方の物質に正味の負電荷が残り、他方には正味の正電荷が残ります。摩擦電気発生と呼ばれるこの効果は、静電気の発生と移行の基礎となる現象です。

表1に示す摩擦電気列を見ると、ガラスやナイロンが正の端にあり、シリコン及びテフロンが負の端に位置しています。物質の導電性も表面電荷の蓄積能力に影響します。多くの物質においては、導電性(あるいは表面抵抗性)は湿度に強く依存します。湿度が低いと導電性が低くなり、電荷の移動を防ぐので局在電荷が残りがやすくなります。

表1. 摩擦電気列

AIR (MOST POS.)	FUR	SEALING WAX	ORLON
HANDS	LEAD	HARD RUBBER	SARAN
ASBESTOS	SILK	NICKEL, COPPER	POLYURETHANE
RABBIT FUR	ALUMINUM	BRASS, SILVER	POLYETHYLENE
GLASS	PAPER	GOLD, PLATINUM	PVC
MICA	COTTON	SULFUR	KEL-F (CTE)
HUMAN HAIR	STEEL	ACETATE, RAYON	SILICON
NYLON	WOOD	POLYESTER	TEFLON (MOST NEG.)
WOOL	AMBER	CELLULOID	

現実の世界では、人々が環境と相互作用することによって高電圧の静電気が生成されます。ある人がフォームイカ(合成樹脂)のテーブルの前のプラスチックの椅子に坐っているとします。そしてウールのズボンと靴下、革靴、綿のシャツ及び絹のネクタイを着用しているとします。これだけの摩擦電気性物質が混在していると定量的な分析はできませんが、かなりの電荷の蓄積が起きそうであることは予想できます。様々な状況における帯電した人体のモデルがいくつか使用されています。最も一般的なモデル(図2)の場合、100pFの容量が15,000Vまで充電され、1,500 の直列抵抗を持っていると仮定されています。

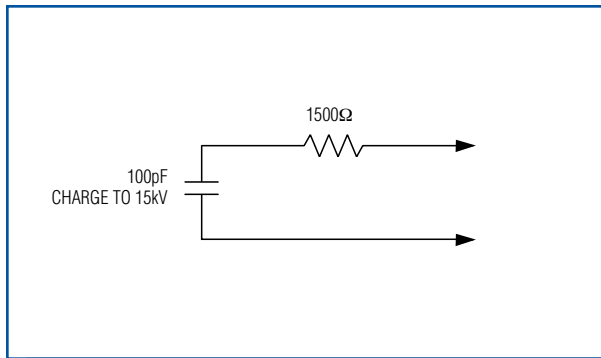


図2. 放電されると、この回路(ヒューマンボディモデル)は立ち上がり非常に速い15kV/1.5k (10A以上の)電流ピークを生成します。

試験方法及び規格

集積回路のESD感受性の試験方法として一般に使用されている2つの方法は、次節で概説する最終製品の試験用に修正されています。一番古い方法であるMIL-STD-883の3015.7法はICのパッケージ化と取り扱い上必要な注意事項を理解するために開発されました。この方法はパッケージのピンを他のピンのグループに対してテストして、故障が発生する最低の電圧に基づいてそのデバイスをクラス分けします。

この試験で印加される信号は、ヒューマンボディモデル(図2)と呼ばれる回路からの電流波形です。このモデルは、人体に標準的な容量とソースインピーダンスをシミュレートしています。この時、回路レイアウトが非常に重要です。これは、実際にICに印加される波形が試験のための接続とプリント基板に伴う寄生インダクタンス及び容量にも依存するためです。この結果生成される電流波形は、人間がICなどの物体に触れた時に生じるESDを表しています。

もう1つの方法は、RとCの値が上記と異なるだけですが、日本電子機械工業会(EIAJ)によって開発されました。この方法はIC-121と呼ばれており、マシンモデル(図3)と呼ばれる回路を基にしています。この方法は、ICがICを取り扱う機械と接触する時に生成されるものと似た電流波形を印加します。可動部品に蓄積する電荷によって生じるESDイベントを模倣することにより、この波形はマシンアセンブリ中にみられる静電放電をシミュレートします。

この2つの方法は相補的であるため、どちらか一方だけを選ばないようにして下さい。ESDは、製造中、プリント基板のアセンブリ中及び最終製品が使用されている間のいつでもICに影響を与える可能性があるため、ヒューマンボディモデルとマシンモデルの両方に基づく試験により、製造中及び製品となつてからの厳しい環境に対するICの耐性を保証することができます。

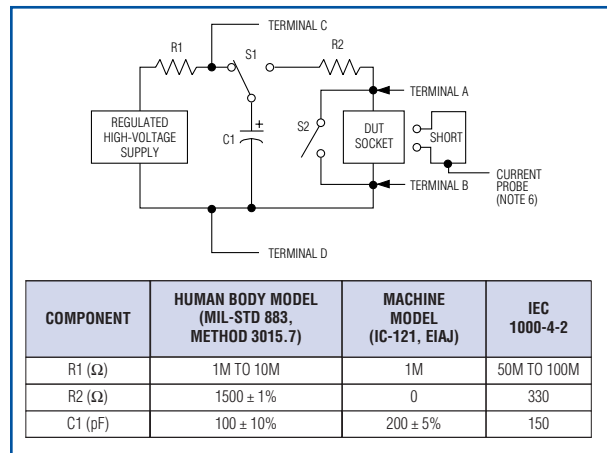


図3. 図に示されているように、異なる部品定数を代入するとヒューマンボディモデル、マシンモデル及びIEC 1000-4-2モデル(人間が金属物体を握っている)として知られる放電回路が得られます。

これら2つの試験はIC用です。この他に、機器の露出したインタフェースに対する試験があります。例えば、コネクタを通じて外界に露出しているICピンは、ICがケースの中のプリント基板に取り付けられていてもESDにさらされる可能性があります。その他の基板上の回路に接続されているピンがESDにさらされる可能性は低くなっています。

このクラスのICの場合、3015.7(ピンの組み合わせをテスト)のような試験方法は、入出力(I/O)ピンのESD感受性を適切に表すことができません。マシンモデル及び3015.7法は任意のピンの最低電圧障害に基づいて定格を定めているため、I/Oピンが必要とする高レベルの内部ESD保護を正しく評価できない恐れがあります(一部のメーカーはこうした保護を提供しています)。I/Oピンが±15kVに耐え、非I/Oピンが±2kVで故障するようなデバイスもあり得ます。上記の試験方法で得られるESD定格は、この場合±2kV以下となってしまいます。しかし、幸いなことに、今日ではI/Oピンの定格を測定するためのよりよい方法が存在します。

新しいI/Oポート用ESD試験

I/Oポートは他の機器との通信を可能にします。ICのI/Oポートは、そのICを持つシステムの外付機器へのアクセスを可能にする論理的なピングループを形成しています。これらのピンは、オペレータがシステムにケーブルを着脱する時に静電放電等の悪条件にさらされます。外部インタフェースICのI/Oピンに理想的なESD感受性試験は以下の通りです。

- 実際の機器におけるESDイベントをシミュレートするような方法でのみI/Oピンを試験する。
- 人体が生成する静電放電をモデル化したテスト波形を印加する。異なる回路モデルが異なる振幅、立ち上がり/立下がり及び移行パワーの値を指定する。

- 電源が投入された状態及び投入されない状態の両方でICをテストする。
- 破壊的あるいは永久的な故障だけでなく、ラッチアップ(瞬間的な動作喪失)も含めてIC故障を定義する。ラッチアップを故障機構と考えるのは、もしラッチアップしたことがわからなかった場合、信頼性の問題やシステムの不良動作につながるためである。

I/OポートのESD感受性試験に機器メーカーが利用するようになってきている方法(両方共上記の必要条件を満たしています)が2つあります(図3)。第1の方法は、MIL-STD-883の3015.7法の修正版です。この方法は、前述の方法と同じ回路モデルと波形を使用しますが、デバイスのI/OピンにだけESDパルスを印加します。この方法の意図は、システム内の基板上で動作しているICがさらされる障害電流をシミュレートすることにあります。第2の方法は、世界規格となったIEC 1000-4-2です。この方法では、3015.7法よりも高い容量及び低い抵抗を使用します。IEC 1000-4-2は、最終機器のインタフェースの試験に普遍的に適用されています(表2)。マキシム社のアナログスイッチ及びRS-232/RS-485インタフェースICは、外付部品なしでこれらのESD規格に適合することに注意して下さい。

表2. IEC 1000-4-2の4つの電圧範囲の分類

IEC 1000-4-2 COMPLIANCE LEVEL	MAX TEST VOLTAGE, CONTACT DISCHARGE (kV)	MAX TEST VOLTAGE, AIR GAP DISCHARGE (kV)
1	2	2
2	4	4
3	6	8
4	8	15

ESD保護方法

インタフェースをESD損傷から守るのは設計者の仕事です。業界ではいくつかの方法が提供されており、そのいずれもが長所と短所を持っています。ESD対策は多くの誤解と迷信に包まれています。以下の説明はそうした誤解の一部を解くことを意図しています。

コンデンサ保護

この方法は、大量生産のコンシューマ及び自動車用機器でよく見られます。これは、シンプルなシャントコンデンサを入力とグラウンドの間に接続することによって入力ピンを保護します。十分な値のコンデンサであれば、そのICピンのESD定格を超えることなくESD放電を吸収するだろうという考え方です。ESD定格が2kVのICピンが外界にさらされる例を考察して見ましょう。

IEC 1000-4-2モデルは、150pFの容量が15kVまで充電されていると定めています。露出されたピンに1500pFの容量が追加されると、試験電圧の1/10(1.5kV)が最大充電電圧になります。このレベルはICのESD保護定格より低いいため、これで良しと考えるわけです。この方法は広く用いられていますが、物理的な状況を単純化しています。この方法は、回路レイアウトに細心の注意を払えば、ある程度の保護を提供することができます(但し、回路の動作がこの方法に必要な容量あるいは寄生インダクタンスに影響されないとは仮定した場合)。レイアウトへの敏感さを強調するために、プリント基板の1cmのトレースは約7nHのインダクタンスを持っていることを考えて下さい。立上がり時間1nsの30A(IEC 1000-4-2の波形、図4)が7nHに印加されるとグラウンド経路の1cm毎に210Vの電圧スパイクが発生します。

抵抗保護

抵抗保護はインタフェースピンと直列に付加されます。この抵抗はピーク電流を制限し、過渡的なパワーを散逸させます。コンデンサ保護の場合と同じく、回路動作がこのインピーダンスの増加に悪影響を受けないように注意する必要があります。また、抵抗そのものがESDに影響されることがあることも注意しなければなりません。金属フィルム抵抗は半導体のメタライゼーションと似た方法で製造されているため、半導体と似たESD感受性を持っている場合があります。これらの直列抵抗の寄生容量も問題になります。狭いスパイクは、僅か数ピコファラッドの容量を通過してIC入力に大混乱をきたす場合があります。

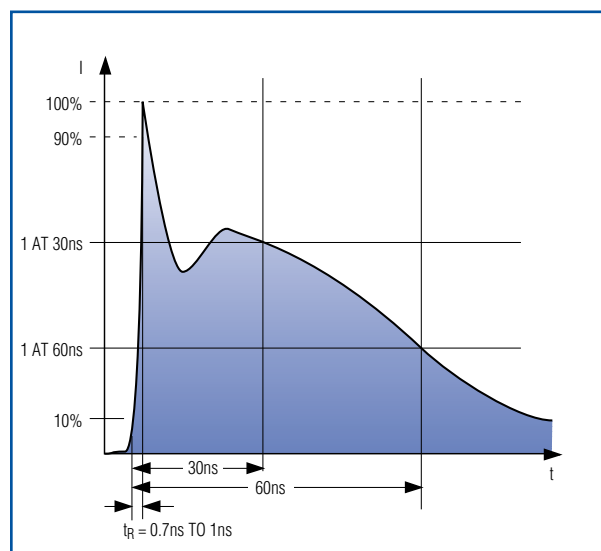


図4. このESD波形のパラメータ(立上がり時間、ピーク電流、30nsにおける振幅及び60nsにおける振幅)はIEC 1000-4-2によって定められています。

抵抗・コンデンサ保護

このアプローチは上述したR保護技法とC保護技法のハイブリッド型です。インタフェース毎に2つの部品を使用すると、プリント基板の面積を消費すると共にコスト高及び信頼性の低下につながります。RCネットワークは、フェライトビーズ又はフィードスルーとの組み合わせでEMIの抑圧に使用されます。

MOV及びTransZorb™保護

メタルオキシドバリスタ(MOV)又はシリコンアバランシェサプレッサ(TransZorb)をI/Oピンに付けると、非常に有効な場合があります。これらは高価なことが多く、かさばったり、インタフェースに望ましくない容量が加わってしまうことがあります。コンデンサ保護の場合と同じく、これらのデバイスもグラウンドへの低インダクタンス(短)経路を必要とします。

ESD保護を強化するためのレイアウトの指針

- 標準的なアナログレイアウト技法に従い、全てのパス及びチャージポンプコンデンサをICのできるだけ近くに配置して下さい(特にインタフェースICの場合)。
- プリント基板にグラウンドプレーンを含めて下さい。
- 保護デバイス又はICをI/Oポートのできるだけ近くに配置して下さい。

マキシム社の内部保護付IC

マキシム社は内部ESD保護付のICの開発に多大な努力を傾注してきました。RS-232及びRS-485インタフェースICをはじめとして、これらの保護付デバイスの中にはいくつかのアナログスイッチ及びスイッチデバウンスのMAX681_ファミリが含まれています。これら全ての製品が、I/Oピンに直接印加されたIEC 1000-4-2 ESDに耐えます。マキシム社は、これがシステム内のESDを抑制する最良の方法であると考えています。すなわち、堅牢性に優れ、入手しやすく、外部面積が不要であるほか、殆どの代替方法と比べて経済的です。

マキシム社は様々なESD保護付RS-232インタフェースICを提供しています。この中にはドライバとレシーバの全ての有用な組み合わせが入っています。マキシム社のAutoShutdown™機能を取り入れた超低電力RS-232デバイスもこの中に含まれています。今年、ESD保護付RS-232インタフェースデバイスにいくつかの新しい工夫が導入されています。例えば、超小型SOTパッケージに収められた完全ESD保護付シングルRS-232レシーバ及びトランスミッタ(MAX318_シリーズ)は、小型ポータブル機器の解決策です。

さらに、データケーブル用のユニークなESD保護付インタフェースも発売が予定されています。セルラ電話のデータ

TransZorbはGeneral Semiconductor Industries, Inc.の商標です。
AutoShutdownはMaxim Integrated Productsの商標です。

ケーブルは、電話機の中ではなく、ケーブルの中にRS-232インタフェースを含んでいるのが普通です。ですから、このアプリケーションのESD保護はインタフェースICのRS-232側だけでなく、ロジック側にも必要です。MAX3237Eはこの問題に対する解決法を提供する唯一のICです。このICは(モデムのような)完全5トランスミッタ/3レシーバインタフェースを提供します。マキシム社はこのダブルESD保護機能を備えたRS-232インタフェースICをPDAクレードル及びその他の電話構成用にも発売する予定です。

RS-485インタフェース

マキシム社はまた、ESD保護付RS-485インタフェースのトップメーカでもあります。こうしたデバイスにおけるESD保護の先頭を切ったマキシム社は、この分野で17の製品を提供しており、さらに多くの製品が開発中です。昨年注目されたのがMAX3095/MAX3096の導入です。これは、マキシム社の頑強なESD構造及び低電力動作特性を定評ある26LS32クワッドレシーバのピン配置で提供したものです。昨年は、さらに3.3V ESD保護付RS-485インタフェースICのフル製品群が発売されました。MAX348_Eファミリにおけるマキシム社の新機軸としては、ESD保護、超低ユニット負荷、スルーレート制限及び低電力特性等が挙げられます。

アナログスイッチ

マキシム社は、アナログスイッチとマルチプレクサのESD保護の価値を認識した最初のICメーカです。アナログスイッチとマルチプレクサは、ESD保護を必要とする多くのアプリケーションにおいて外部システムへのインタフェースとして使用されます。まず、ESD保護付スイッチ及びマルチプレクサのシリーズが発売されました。このシリーズは、いくつかの±15kV ESD保護付低電圧ICを含んでいます。例えば、4051ピン配置の8対1 CMOSアナログマルチプレクサ(MAX4558)、4052ピン配置の4対1 CMOSアナログマルチプレクサ(MAX4559)、4053ピン配置のトリプルSPDTスイッチ(MAX4560)、及び4066ピン配置のSPST CMOSアナログスイッチ(MAX4551)です。

第2のシリーズは±15kV ESD付のSOT23パッケージデバイスで、例えばシングルSPST-NOスイッチ(MAX4568)、SPST-NCスイッチ(MAX4569)及びSPDTスイッチ(MAX4561)が含まれています。

参考文献

- 1) マキシム社エンジニアリングジャーナルVol.25
「I/OポートのESD保護」
- 2) Electrostatic Discharge Control(静電放電対策)、
Owen J. McAteer, McGraw Hill, 1989.
ISBN 0-07-044838-8.