

クロックデータリカバリ回路における高精度リファレンスクロックの使用

さまざまなクロックデータリカバリ(CDR)アプリケーションがテレコミュニケーションや光トランシーバ、データ・ストレージエリアネットワーク、無線機器などの分野で利用されています。今後、より広帯域に対応した設計が求められるとともに、スペクトル帯域が割り当てられ、その利用も増えることから、CDR技術の重要性はますます高まるものと考えられます。また、システムやボードのインタフェースも、パラレルからシリアルに移行しつつあります。

近年、広がりつつあるバックプレーンのパラレルバス幅に対応するとともに、レシーバ側におけるクロックとデータのスキューを管理するため、CDR技術の採用が増えています。また、このような信号のルーティングには困難が伴います。基板スペースと処理能力を消費することと、信号とライン終端処理の管理にマルチレイヤルーティング方式が必要となることがその理由です。高ビット幅データバスから発生するEMIも心配されます。

通信技術と電気信号処理技術が進歩し、FR-4やバックプレーン、光媒体、無線媒体を通じて数ギガビットもの電気信号を送るようになったため、CDR技術が非常に重要となりました。送信前にクロックとデータを結合するという通信手法は以前からありました。この方法では、クロック信号とデータ信号が必ず同時に到着します。問題は、レシーバ側でクロックとデータをどのように分離するかということです。これを行うのが、CDR回路です。パラレルからシリアル、あるいはシリアルからパラレル

にデータを変換する製品をシリアライザ/デシリアライザ(「サーデス」と省略することもあります)といいます。このような製品には、シリアルデータストリームをデシリアライズするCDRブロックが組み込まれています。

この記事では、高速シリアル通信リンクアプリケーションを構成するために必要なCDRのコンポーネントブロックを検討します。まず、典型的な高速シリアル通信リンクの例を紹介し、リンクでデータがどのように変換され、また、回復されるのかを説明します。その上で、さまざまなCDRスキームを紹介し、一般的なCDRトポロジーとどこが違うかを解説します。また、基準発信器がリンクの送信側と受信側の両方で果たす役割に、特に焦点を当てます。

高速シリアル通信におけるクロックデータリカバリ

図1は、高速シリアル通信リンクの基本ダイアグラムです。送信側シリアライザに、パラレルデータ(ビット b_1 、 b_2 、 b_3 .. b_n)が周波数 f_t で到達します。データは、シリアライザ内部でパラレルフォーマットからシリアルフォーマットに変換されます。生成されるシリアルビットストリームのビットレートは、 $n \times f_t$ 以上になります(n はパラレルデータビットの総数)。データのエンコードにより、生成する信号の周波数(ビットレート)が f_t よりも高くなる場合もあります。データのエンコードを行うのは、チャンネルが要求するBER(ビットエラーレート)レベルを満足するためであったり、受信側CDRに十分な遷移情報を提供する必要があったりするときです。チャンネルエンコードにはリードソロモン符号によるFEC(前方誤り訂正)などが、受信側CDRに対する遷移情報の生成には8B10Bエンコードなどが使われます。こうして生成したシリアルデータは、チャンネルへの送信準備が整えばレシーバに送られ、デシリアライザに到達します。通信媒体が光ファイバであっても大気であっても、また、バックプレーンであっても、基本的な通信ブロックは同じです。

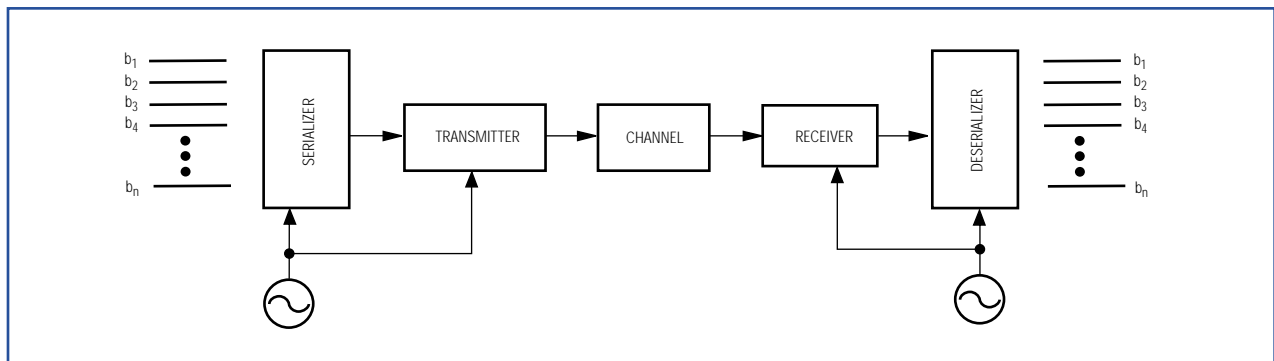


図1. クロックデータリカバリが高速シリアル通信リンクの基礎となります。

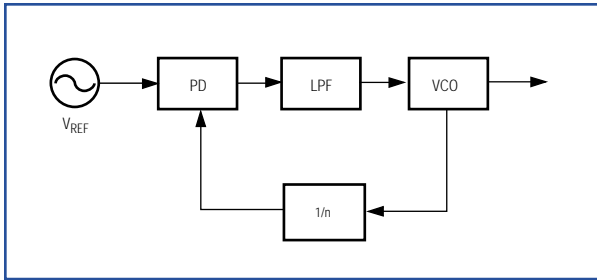


図2. クロック通信アプリケーションの中核はPLLです。

CDRアプリケーションでは、タイミング(クロッキング)が重要です。システムを設計する段階で、パラレルフォーマットからシリアルフォーマットに変換した上で、チャネル経由で送信し、チャネルによる歪みの乗った信号を受信するという一連のデータ処理をどのように行うかを定めます。高いSN比とBER性能を実現するためには、設計によって発生するデータ信号の劣化を最小限に抑える必要があります。例えば、バックプレーンにおけるデジタル伝送スキームでは、システムのジッタ性能が特に重要です。これは、高速電気信号がさまざまなパス長を流れていく結果(FR-4とバックプレーン)、信号レベルの歪みと時間的な歪みが発生し、信号が劣化するからです。

クロックデータリカバリの中核は、PLL(位相ロックループ)を使用した回路で、デジタルで構成できることもあります。図2に示す基本的なPLLブロックダイアグラムが、図1の通信リンクにある送信側シリアルライザに使われます。このPLLブロックは、位相/周波数検出器(PD)とフィルタ(LPF)、電圧制御発振器(VCO)、分周回路(1/n)で構成されます。分周回路の役割は、比較用周波数をPDに提供することです。こうすることにより、VCO出力の位相を、安定したリファレンス入力、 V_{REF} に同期させることができます。PLLブロックでは、基準周波数を固定倍率(n)で通倍し、VCOの固有周波数を得ます。 V_{REF} には、普通、安定性と精度、位相対ノイズ特性に優れた水晶を使った回路を用います。また、アプリケーションやシステムの要件に応じ、温度補償や電圧

補償を行う場合もあります。SONETベースのアプリケーションでは、このリファレンスがある階層レベルに該当する場合があります(階層レベルの3、3E、あるいは4)。

受信側では、クロックとデータの両方を回復する必要があるため、CDRのPLLブロックは構成が若干異なったものとなります。図3に示すように、PLLブロックに入るクロック/データ信号は、まず、バッファを通過し、そこで2つのパスに分岐します。片方のパスは、データ復号(DEC)ブロックで、もう一方は、クロックリカバリブロックです。クロックリカバリブロックは、図2のPLLブロックから1/nブロックを省いたものです。回復されたクロックは、VCOから出力され、DECのサンプリング用入力として、位相/周波数検出器へのフィードバック信号として、また、下流機器のシステムタイミングとして利用されます。図1の場合、回復したクロックをパラレルクロック周波数まで分周し、デシリアライザブロックをドライブします。

クロックデータリカバリにおける基準発振器

ダイアグラムに示す基準発振器の例から分かるように、発振器入力には電圧制御がかけられています。この電圧制御は、LPF段で行います。図3に示すようなケースでは、ループ発振器として、VCOやVCXO(電圧制御水晶発振器)を使うのが普通です。その役割から明らかなように、ループ発振器は、入力されるクロック/データの周波数変動に追従できなければなりません。また、このループ発振器のクロックは、CDR(デシリアライザ)下流にある他のコンポーネントにも供給されます。これを実現するのが、VCOやVCXOの電圧制御入力を駆動するLPF出力です。

通信や無線、データ通信などで使用するCDRアプリケーションでは、データとクロックが結合した受信信号の周波数特性は比較的安定しています。これは、送信側のクロックが一定レベル以上の精度と安定度を持つと考えられるからです。受信側の設計では、精度/安定度の最小

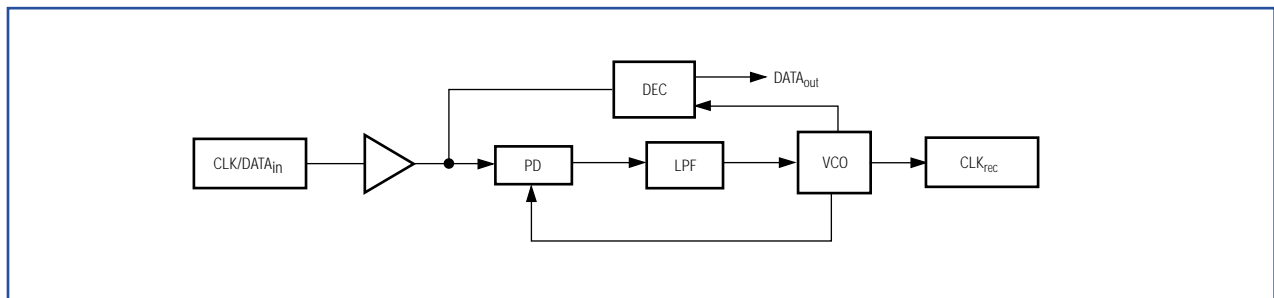


図3. CDR回路では、基本PLLブロックの变化形を使用します。

値や最大値に対して余裕を持たせます。例えば、送信側クロック周波数が公称周波数から $\pm 50\text{ppm}$ 変動する可能性がある場合、受信側クロックは、少なくとも $\pm 50\text{ppm}$ の周波数調整が可能でなければなりません。しかし、設計時には、 $\pm 50\text{ppm}$ よりも若干広い周波数調整を考慮しておくべきです。このように周波数調整機能に余裕があれば、通信の混乱やチャネルによって信号周波数に歪みが生じても対応できるからです。

PLL回路は静的状態に向かおうとしても、つまり、周波数ロックをかけようとしても、電圧制御入力の変化速度が速すぎるということもあり得ます。PLLがロック状態を保持できる最大レートは、LPFの帯域幅によって決まります。最終的には、受信側VCO(またはVCXO)が、変動に追従し、クロックを再現できなければなりません。

データ/クロック入力がない間も、CDRは、一定時間、下流の通信コンポーネント(つまりデシリアライザ)に基準信号を供給しなければなりません。

アプリケーションによっては、VCOとVCXOを組み合わせる場合もあります。図4に示すようなVCOとVCXOを組み合わせた構成は、通常のCDRにはない利点を2つ持ちます。一つは、VCXOが追加されたことにより、クロック/データ信号周波数に対するVCO周波数の追従速度が向上することです。VCXO周波数は、受信するクロック周波数のレンジに合わせて選びます。例えば、広帯域VCOをデータストリームにロックするためには、サンプリング

を何千回も行う必要があります。VCXOとロック検出回路を追加すれば、VCOの動作周波数が固定され、スタートアップ時のロック時間を事前に予測できるようになります。もう一つの利点は、クロック/データ入力長時間に渡り失われたとき、VCXOが役に立つという点です。クロック/データ信号が失われたとき、高安定の水晶発振器(V_{REF})を基準として、クロック/データ信号が信号消失(LOS)から回復するまでホールドオーバを供給し続けられるのです。ホールドオーバとは、リファレンスクロックの仕様の一つで、ある時間、ある精度を保つ能力を表します(例えば、24時間にわたり $\pm 4.6\text{ppm}$ など)。

結論

さまざまなソリューションが、通信アプリケーションにおけるクロックデータリカバリ/リタイミング、シリアルライザ/デシリアライザ、クロック発生器、TCXOで使われています。このようなデバイスを使えば、10MHz~10GHzもの周波数で使える回路を開発したり、GSMからOC-192、または、それ以上のアプリケーションをサポートしたりすることができます。広帯域化が進む中、CDR技術は、今後ますます、テレコミュニケーションや光トランシーバー、データ・ストレージエリアネットワーク、無線機器などの分野で重要なものとなるでしょう。

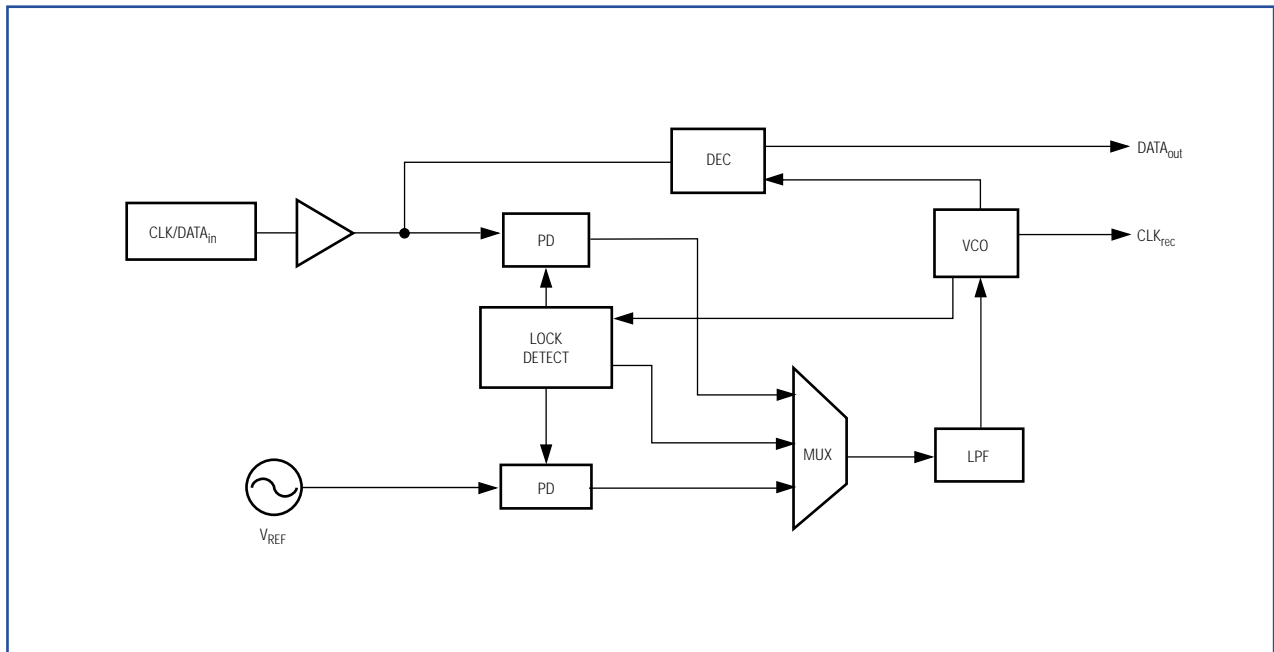


図4. 基本CDRブロックの改良により、クロック/データストリーム入力に対するロック性能を高めることができます。