

DS2155シングルチップトランジエバの2次保護用ネットワークインタフェースと回路設計

T1/E1シングルチップトランジエバ(SCT)は、危険な過剰電圧または過剰電流条件下に置かれがちな電話の外線に直接接続するアプリケーションに使用されています。このようなアプリケーションにおいては、敏感な低電圧CMOSデバイスに高電圧または高電流が流れ込むのを防ぐため、保護ネットワーク(1次側電圧保護または2次側電圧保護のいずれか)を使用する必要があります。

通常、外線が構内に入るポイントに位置するガス放電管あるいは炭素ブロックが1次側電圧保護を提供します。しかし、1次側電圧保護は、単に、ピーク時1000Vまでのサージ電圧と送電線回り込み600V_{RMS}を制限するにすぎないので、2次側電圧保護が必要です。2次側電圧保護は、ネットワークインタフェースデバイスへの損傷を防ぐために追加の電圧及び電流制限を提供します。

この論文はDS2155シングルチップトランジエバの2次保護用ネットワークインタフェースと回路設計に関する一般的な情報を提供するものです。これらの設計は下記の規格に準拠することを目標としています：

- Underwriters Laboratories UL 1950およびUL 60950
- TIA/EIA-IS-968
- Telcordia GR 1089-コア
- International Telecommunication Union ITU-T K.20、K.21

縦方向のサージ(コモンモード)はティップからグラウンド、あるいはリングからグラウンドまで、メタリックサージ(差動)はティップからリング間に起こります。縦方向のサージは、ケーブルの導電シールドに入った落雷電流によって、ティップとリングの導体上で生成されます。メタリックサージは縦方向のサージの副産物で、1次側プロテクタあるいはライン上装置の動作上の不均衡によってティップとリング導体の間で発生します。

図1の回路はT1/E1デバイスの従来のインタフェースで、トランス周辺で抵抗がどのように配分されているかを模式化したものです。このモデルは、ネットワークインタフェース設計のベースライン回路として使われます。このモデルには最終設計では使用されないレジスタが追加されていますが、これらは本論文で示されるコンセプトに不可欠なものですのでご了承ください。

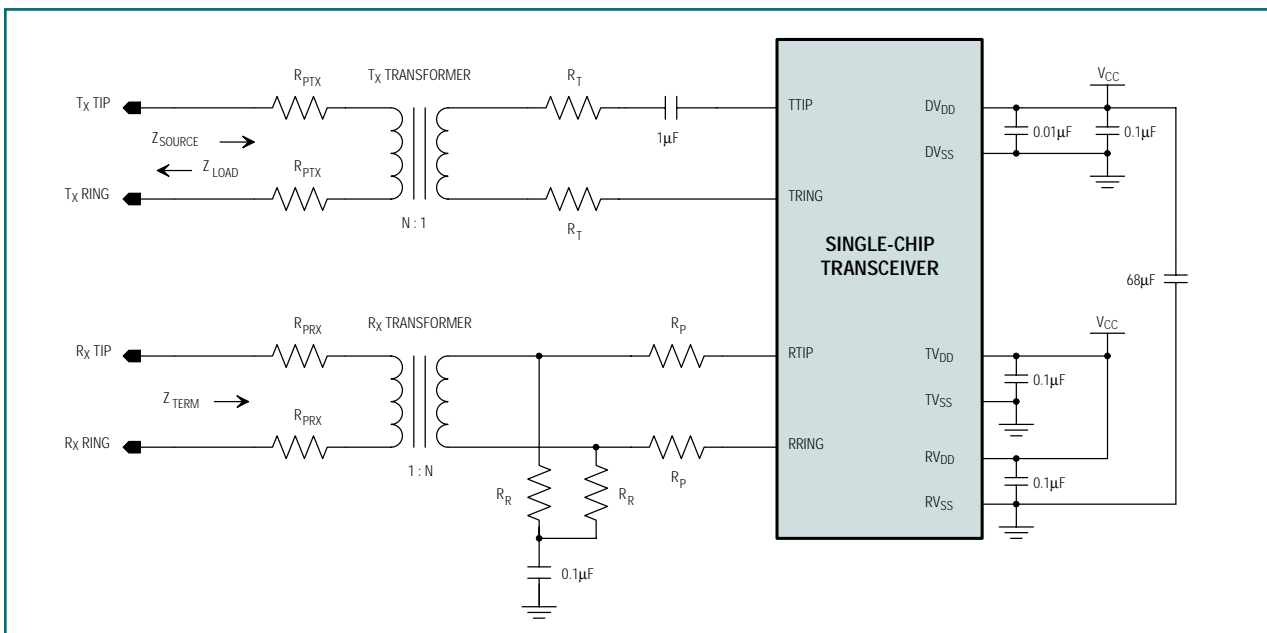


図1. 保護用に配分された抵抗を使った従来型のネットワークインタフェース回路

受信インタフェース

レシーバ入力はインピーダンスが高く、動作にほとんど入力電流を必要としません。マッチングされた負荷条件で0 の直列抵抗を使った1:1トランスを使用し信号を回収するように設計されています。受信回路に関して、まず考慮すべきことは通信回線の正確な終端です。E1信号が75 の不平衡同軸ケーブルまたは120 の平衡ツイストペアで伝送される一方、T1信号は100 の平衡ツイストペアで伝送されます。

終端ネットワークに關与する要素は、 R_{PRX} 抵抗、 R_R 抵抗及びトランスの巻線比です；受信トランスの巻線比は1:1で $N=1$ と特定されます。終端回路は R_{PRX} が0 で R_R の抵抗値が回線特性インピーダンスの半分に等しいならば理想的です。 R_{PRX} 抵抗が存在する場合、それらが電圧デバイダを形成するので、 R_R を調整する必要があります。 R_{PRX} 抵抗の抵抗値が増加すると、 R_R の抵抗値が減少します。下記の等式は適切な終端のために R_R をいかに計算するか例示しています：

$$Z_{TERM} = R_{PRX} + 2R_R / N^2$$

これを置き換えると：

$$Z_{TERM} = 100\Omega, R_{PRX} = 0\Omega, N = 1 \therefore 100\Omega = 2R_R$$

$$\text{解は } R_R \therefore R_R = 50\Omega$$

T1およびE1回路の受信終端の設計が容易になるように、DS2155はソフトウェアを使用して終端を選択します。120 終端の受信回路を設計することによって、内部ラインインタフェースユニット(LIU)は75 または100 の終端設定が追加できるように、抵抗を選びながら追加することができます。LIUはRTIPとRRINGピンの間に200 または600 のいずれかの内部抵抗を挿入します。

内部終端を使う場合、従来のネットワークインタフェースに変更を加える必要があります。まず、 R_p および R_{PRX} を含む電流制限抵抗を受信バスから外さなければなりません。 R_p は抵抗が内部回路によって追加される追加抵抗と干渉するので外さなければならず、 R_{PRX} は、 R_R 抵抗とDS2155の内部抵抗の組合せにより75 、100 、または120 の並列抵抗が形成されるので外さなければなりません。次に、 R_R 抵抗は、120 のライン終端にマッチするように設定されなければなりません。 R_{PRX} は0 なので、 R_R の抵抗値は回線特性インピーダンスの半分の60 に等しくなります。

最後に、もはや回路内の抵抗によって過剰電流条件下のデバイスを保護することはできないため、ヒューズと電圧抑制の組合せを使用しなければなりません。この種の回路例と試験結果は後述いたします。

注記： R_R 抵抗に接続された0.1 μ Fのコンデンサは、雑音余裕を改善する高周波カットオフフィルタを形成し、回線終端に影響しません。

トランスミッタインタフェース

トランスミッタ出力ドライバは、インピーダンスが低く、必要な出力パルスを発生するのに十分な電流をトランスの1次巻線に送ることができます。トランスミッタ出力は、出力パルスが回線インピーダンス、動作電圧、トランスコイル巻線、インライン抵抗および、100 T1,75 E1または120 E1のような具体的な動作モードに基づいたテンプレートに収まるように設計されています。受信トランスとは異なり、伝送トランスの巻線比は、動作電圧に直接に関連しています。DS2155は3.3Vで動作します。そのため、トランスの巻線比は1:N、ここでは $N=2$ と特定されています。

T1およびE1の信号パルスと伝送側インタフェースの条件が異なるので、伝送回路の説明は受信側よりも複雑になっています。ユーザに分かり易いように、トランスミッタインタフェースの説明を2つに分けました。最初の部分はT1トランスミッタインタフェースについて、次の部分はE1トランスミッタインタフェースについて説明されています。

T1デバイス伝送回路

ダラス社のT1部品のトランスミッタ出力は、様々な回線長のネットワークインタフェース上で、適正なパルス振幅を発生するように設計されています。異なる回線長はパルス形状に影響するので、部品には設定可能な出力レベルがあり設定が可能です。各部品のデータシートには、トランス巻線比と回線長に基づいて選択できる設定が表示されたトランスミッタ回線ビルドアウト(LBO)表がついています。既知の回線長に関するデフォルトのT1パルスは次の条件に基づいています：3.3V供給電源； $R_{PTX}=0$ ； $R_T=0$ ；および巻線比1:2の伝送トランスです。

公称0dBのT1パルスは、100 負荷またはネットワークインタフェースで30mA時に3Vとなります。0 直列抵抗と1:2トランスを使っている非保護回路は、デバイスの出力ピンの位置で $3V \times 1/2 = 1.5V$ を発生します。トランスのデバイス側または1次巻線に流れる電流は、 $30mA \times 2 = 60mA$ となります。

従来、 R_{PTX} または R_T 抵抗は、サージからデバイスを保護するために使われていますが、追加直列抵抗は、出力信号パルスを減衰する電圧降下を起こします。信号のロスを補償するために、巻線比1:2以上のトランスを選んで

ください。これによってトランスミッタ出力からのドロウ電流がおよそ20%増加します。このため直列抵抗0 を使って3.3V回路を設計し、過剰電圧保護には他の部品を使用することを推奨します。

以下の例では、回路をサージから保護するためにR_{PTX}またはR_Tを使う必要がある場合、いかにして1:2トランスを1:2.42トランスに置き換えるかについて説明しています。ネットワーク側の電流パルスまたは1:2.42トランスの2次巻線がそのままであれば、このトランスの1次巻線の電流パルスは、30mA×2.42=72.6mAになります。出力電圧パルスが1.5Vのままなので、そのトランスからみたネットインピーダンス(R_L)は1.5V/72.6mA=20.6 になり、以下のように表されます：

$$R_L = Z_{LOAD} / N^2 + 2R_{PTX} / N^2 + 2R_T$$

$$R_L = 20.6\Omega, Z_{LOAD} = 100\Omega, N = 2.42 \text{で置き換えて、}$$

$$\therefore 20.6\Omega = 100\Omega / 5.86 + 2R_{PTX} / 5.86 + 2R_T$$

$$\text{まとめて、} 3.5\Omega = 2R_{PTX} / 5.86 + 2R_T$$

R_{PTX}が0 の場合、R_T=1.75 で電流を減少させるには十分ではありません。しかしながら、R_Tが0 ならば、R_{PTX}は各10 ほどでよく、トランスの電流制限保護を提供します。

E1デバイス伝送回路

ダラス社のE1部品のトランスミッタ出力は、様々な終端条件下のネットワークインタフェース上で適正なパルスを発生するように設計されています。設定可能な出力レベルは、ネットワークインタフェース上のパルス振幅が120 の終端でピーク電圧3.0V、または75 の終端でピーク電圧2.37Vとなることを保証します。T1とは異なり、E1アプリケーションは、ソースインピーダンスを回線特性インピーダンスにマッチさせるために、伝送パスに追加抵抗を加えることが可能です。ソースと回線インピーダンスのマッチング度を計るのにはリターンロスを使います。リターンロスが高いと、回線ノイズの減衰がより大きくなるか、信号反射がトランスミッタ出力に

結合される結果になります。それは以下のように計算されます：

$$\text{リターンロス(dB)} = 20 \log_{10} \left| \frac{Z_{SOURCE} + Z_{LOAD}}{Z_{SOURCE} - Z_{LOAD}} \right|$$

$$Z_{LOAD} = 120\Omega \text{または} 75\Omega \text{および} Z_{SOURCE} = 2R_{PTX} + (2R_T + 5) \times N^2$$

上記Z_{SOURCE}等式の定数5はトランスミッタの内部インピーダンスです。高いリターンロス条件下ではない非保護のネットワークインタフェースのリターンロスは下記に示されています。例にあげた抵抗の電源電圧は3.3V、R_{PTX}とR_T=0 、T_Xトランスは巻線比1:2で、回線インピーダンスは75 です。

$$\text{リターンロス(dB)} = 20 \log_{10} \left| \frac{Z_{SOURCE} + Z_{LOAD}}{Z_{SOURCE} - Z_{LOAD}} \right|$$

$$Z_{LOAD} = 75\Omega, N = 2, R_{PTX} \text{と} R_T = 0\Omega \text{で置き換えて、}$$

$$\therefore \text{リターンロス} = 20 \log_{10} \left| \frac{5 \times 2^2 + 75}{5 \times 2^2 - 75} \right|$$

$$\text{リターンロス} = 20 \log_{10} 1.73 = 4.7\text{dB}$$

この例では、ノイズまたは反射された信号の58%がトランスミッタ出力へ結合可能です。リターンロスを改善するために、R_T値を増加することができます。R_T値を6.2 に変えることによってリターンロスが28.5dB増加します。これはインバウンド信号の4%以下が反射されることを意味しています。直列抵抗はどれもパルス振幅に影響するので、DS2155は特定のR_TまたはR_{PTX}値を補償します。ネットワークインタフェースを設計する際は表1を利用してください。この表は適切なトランスと抵抗の選択が可能なようにDS2155データシートにも記載されています。それぞれの設定は動作電圧、トランス巻線比およびR_Tに基づいています。

E1回路にマッチングさせる伝送インピーダンスの設計を簡単にし、またこの特徴の利点をT1回路に利用できるように、DS2155は内部インピーダンスマッチングを実現しています。0 の直列抵抗の伝送インタフェース回路を設計することによって、内部LIUはトランスミッタ出力を75 、100 あるいは120 ラインインピーダンスにマッチする抵抗を追加することができます。

表1 . DS2155 3.3VデバイスのためのLBOの選択

L2	L1	L0	アプリケーション	T _X トランス	リターンロス ¹	R _T ²
0	0	0	公称75	1:2ステップアップ	-	0
0	0	1	公称120	1:2ステップアップ	-	0
1	0	0	高リターンロス75	1:2ステップアップ	> 21dB	6.2
1	0	1	高リターンロス120	1:2ステップアップ	> 21dB	11.6

注：

1. 空白のセルはリターンロスが21dB以下であることを示しています。
2. ここに示されるR_T値はR_{PTX}=0 とみなしています。

これは内部抵抗をTTIPとTRING伝送ドライバとデバイス上の関連するピンの間に挿入することによって可能です。

内部終端を使う場合、従来のネットワークインタフェースに変更を加える必要があります。R_TおよびR_{PTX}抵抗は共に0でなければなりません。これらの抵抗が存在する場合、外部および内部抵抗の組合せでインピーダンスのミスマッチが起こります。この結果、パルスマスク条件に適合しない、劣化した伝送信号パルスが生じます。

現在の抵抗を除去することで生じる危険なトランジェント状況からデバイスを保護するためにヒューズと電圧抑制の組合せを使用する必要があります。この種の回路の例は次のセクションで試験結果と併せて議論されます。

電圧抑制保護回路

以下の2次電圧保護の例は、送電線のクロスならびにメタリックおよび縦方向のサージに対する耐性を提供します。図2および図3の設計は従来の保護回路と比べていくつか利点があげられます。設計に使用されている部品は自動アセンブリ用に表面実装となっており、部品によって使われる表面積を減少します。また従来の回路と同等レベルの保護が提供されるとともに、低電圧動作が可能です。これらの回路は、DS2155の新たな受信側のソフトウェア選択による終端、および伝送側回線イン

ピーダンスマッチング機能の使用を可能にします。図2は顧客構内の装置に一般的に見られるメタリックサージ抑制回路の例です。顧客構内の装置は単信電力を回線に供給する必要がありませんから、この回路には部品数とコストの削減という利点があります。図3は、電話局装置に通常見られる縦型サージ抑制回路の例です。電話局装置では、普通、単信または重信電力を回線リピータに供給します。これは、伝送および受信トランスのネットワーク側中央タップに電圧をかけることで達成されます。この電力接続は縦方向の特性なので、電圧が存在する時に保護回路が起動しないよう確認してください。

保護に使用される3つの主な部品はヒューズ、サイリスタ、およびショットキダイオードデバイスです。ヒューズは送電線のクロスのような高電流状況からトランスを保護します。ヒューズの定格電流はトランスの最高電力放散にマッチするよう設定されています。標準ヒューズは、異なる電圧および電流サージモデルに対して50A以上の定格サージ電流を持っています。定格サージ電流が100A以下の場合には電流制限直列抵抗が必要になります。多くの異なったサージモデルにパスし、電流制限抵抗を必要としないヒューズはTeccor F1250T TeleLinkヒューズです。サイリスタは、デバイスにかかる電圧がスイッチング電圧を越える場合、オープン回路から短絡回路状態に変化するソリッドステートクローバードデバイスです。

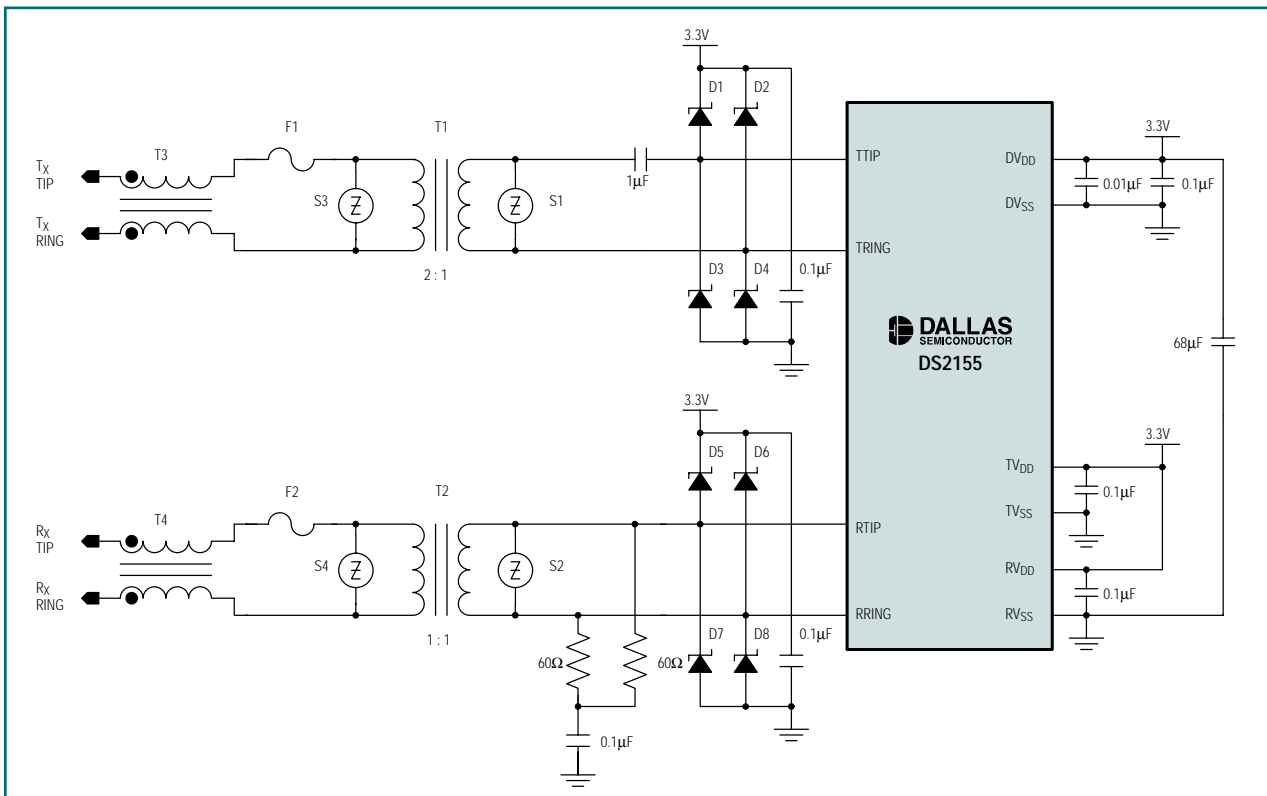


図2. メタリック保護とソフトウェア選択終端を使ったDS2155ネットワークインタフェース回路

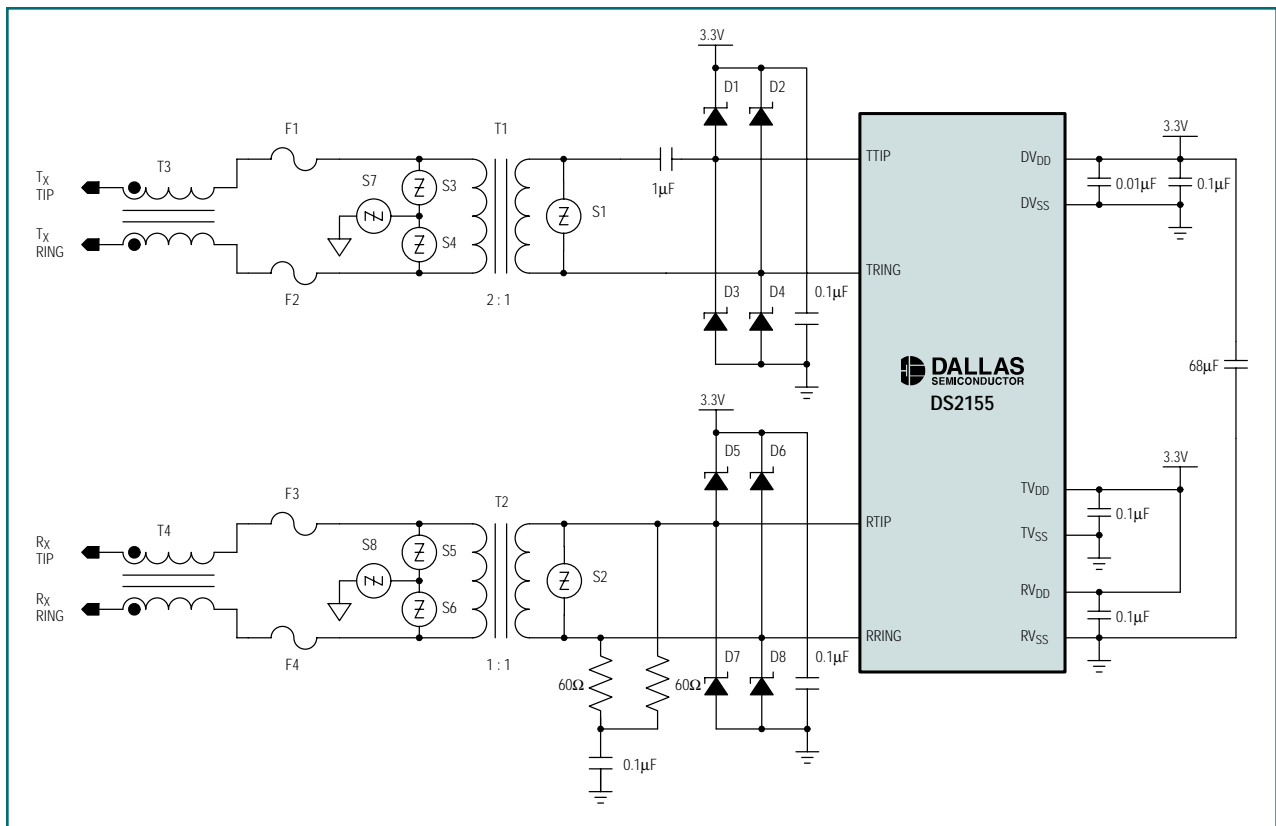


図3．縦型保護とソフトウェア選択終端を使用したDS2155ネットワークインタフェース回路

このサイリスタは、デバイスを流れる電流がセットホールディング電流以下になるまで短絡回路状態を維持します。短絡回路状態では、過剰電流は2つの伝送回線間または伝送回線とグランド間を迂回されるので、半導体デバイスを損傷から保護します。ショットキダイオードは、順方向

バイアスでは非常に大きな電流を、逆方向バイアスでは非常に小さな電流を通す整流デバイスです。ショットキダイオードはデバイスの内部ダイオードより低い順方向バイアスを持つので、通常デバイスを流れる過剰電流はショットキダイオードを流れることとなります。

表2．電圧抑制保護回路部品

レファレンス	説明	品名	ソース	注
D1-D8	ショットキダイオード	10BQ040	International Rectifier	
F1-F4	1.25Aスローブローヒューズ	F1250T	Teccor Electronics	
S1, S2	最高25Vトランジェントサプレッサ	P0080SA	Teccor Electronics	
S3, S4	最高77Vトランジェントサプレッサ	P0640SC	Teccor Electronics	図2
S3-S6	最高40Vトランジェントサプレッサ	P0300SC	Teccor Electronics	図3
S7, S8	最高220Vトランジェントサプレッサ	P1800SD	Teccor Electronics	図3
T1, T2	トランス1:1CT & 1:2CT(SMT)	PE-68678	Pulse Engineering	
T3, T4	デュアルコモンモードチョーク(SMT)	PE-65857	Pulse Engineering	

注：

1. トランスからネットワークインタフェースまでのレイアウトは非常に重要です。トレースは最低20ミリ幅で、他の回路回線から少なくとも150ミリ分離していなければなりません。この回路の下の部分にパワープレーンが含まれないようにしてください。

2. T1(E1ではない)アプリケーションによっては、Rx/Txトランスのネットワーク側のセンタータップから電力をソースまたはシンクします。

サージの結果

前述された仕様に適合させるために、様々な電流及び電圧サージパルスをティップ、リングおよびグランドコンダクタ間に適用する必要があります。具体的な回路のアプリケーションによってどのようなサージが回路に適用されるかということが決定され、仕様に合格します。サージは全て3つの特性から成り立っています。電圧、電流と時間です。一般的に具体的なサージは時間で表されます。サージの上昇と減衰の時間です。サージは二重指数関数的な相関性を持ち、指数関数的に上昇し減衰します。上昇時間とはサージが定格ピーク電流に達する時間が測定されたもので、一方、減衰時間はサージが定格ピーク電流の50%に達した時間が測定されたものです。一般的なサージは $2 \times 10\mu\text{s}$ 、 $10 \times 160\mu\text{s}$ 、 $10 \times 560\mu\text{s}$ 、 $10 \times 1000\mu\text{s}$ です。サージの組合せはその他にもありますが、そのほとんどがこの4つのサージのテンプレート内に収まります。この場合、回路がより大きいなテンプレートのサージを通過させたなら、理論的にはそのテンプレート内に収まるサージならどのようなサージでも通過することになります。

回路設計のテストする際、回路の信頼性と様々な規格に準拠しているかを調べるには $10 \times 1000\mu\text{s}$ サージで十分であると決定されました。これは時間的な考慮とサージジェネレータの利用が制限されていたことが理由です。ティップとリングコンダクタに同時にかげられた別々の $10 \times 1000\mu\text{s}$ サージは、100Aのピーク電流と1000Vのピーク電圧を持っています。

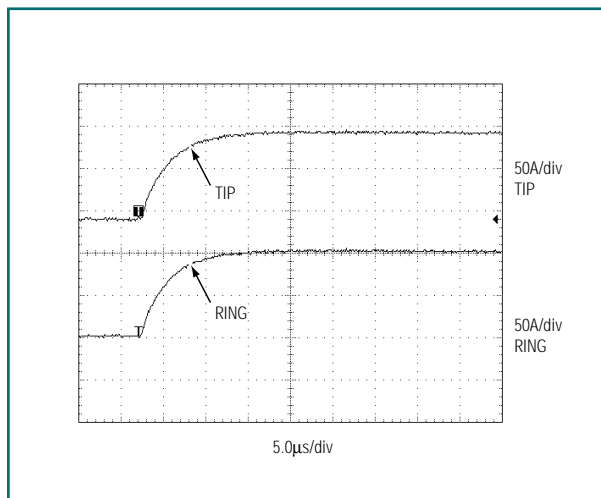


図4. ティップとリング入力時のサージ上昇時間

図4と図5は、ネットワークインタフェース回路に適用される前のサージパルスです。パルスの立ち上がり時間と減衰を正確に示すために、 $100\times$ 電流プローブでサージジェネレータからグランドへの出力を計測しました。図4はサージパルスの立ち上がり時間です。負荷なしで $10\mu\text{s}$ を少し越えています。ジェネレータ出力が負荷された場合、パルスの立ち上がり時間はちょうど $10\mu\text{s}$ となります。図5は減衰時間です。およそ $1000\mu\text{s}$ となっています。

図6と図7は、ネットワークインタフェース回路に適用された時のサージパルスです。両方の図でトレース1は、 $100\times$ 電流プローブでサージジェネレータからティップコネクタへの出力から計測されたサージです。ティップとリング上のサージは等しく、サージ保護は対称なので、1つのコネクタでのサージを示すだけで十分です。トレース2は $1\times$ 電圧プローブでサージジェネレータのティップコネクタに対する出力から計測されたサージです。

図6は、最高178Vと平均45Vでクランプされたサージパルスが示されています。サージジェネレータの副産物である少しネガティブになっているパルスもあります。計測の残留45Vは、チョークとチョーク間を流れる大電流のインダクタンスが原因です。図には示されていませんが、トランスに結果的に生じたサージは最高178Vで、時間は $6\mu\text{s}$ です。このサージに含まれているエネルギーは、ティップとリングピンのサージと比較すると極めて小さなものです。図7は同様のサージですが、電圧がクランプされた時の速度とサージの減衰が示されています。

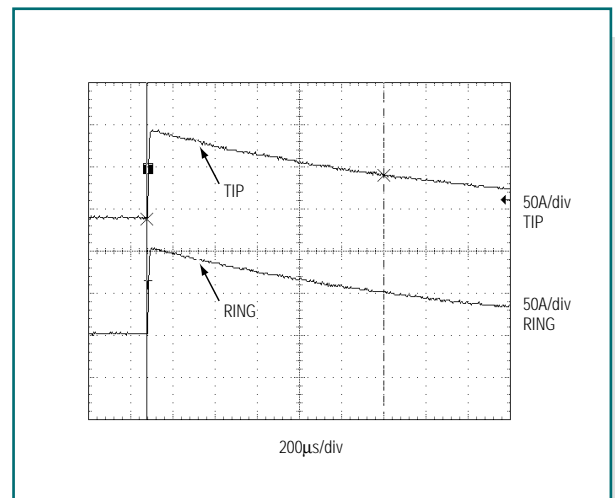


図5. ティップとリング入力時のサージ減衰時間

テレコミュニケーション装置設計の際の主な目標の1つは、落雷や電源がクロスした後も装置が動作できる状態にすることです。本論文に呈示されている回路は、最も厳格な規格に準拠し、パスできるテレコミュニケー

ション設計になっています。最終的な結果として、より安定で現場での修理が最小限ですむ、消費者に満足していただける装置となります。

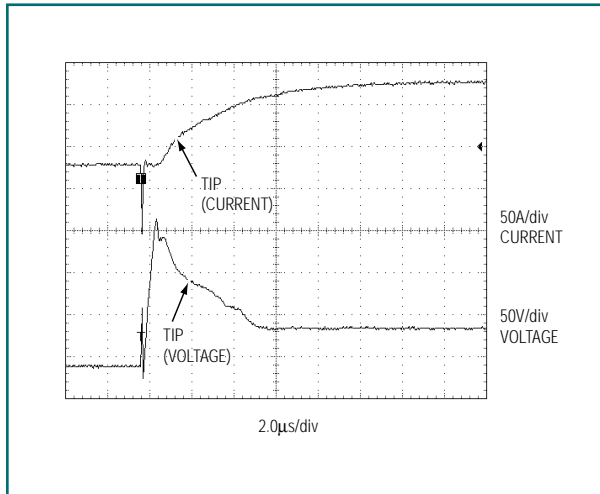


図6 . ティップ入力時にクランプしている初期サージ

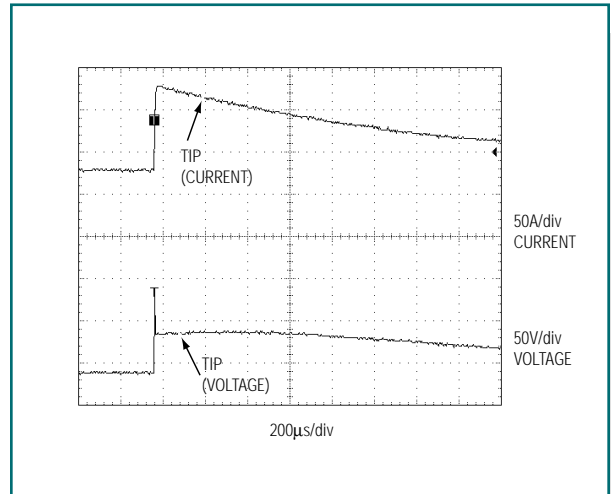


図7 . ティップ入力時の初期サージ電圧スパイク