

# 逐次比較型 ADCについて 理解する

逐次比較レジスタ(SAR)アナログデジタルコンバータ(ADC)は、サンプル速度が5Msps以下の高分解能のアプリケーションにおけるアーキテクチャ上の選択肢として頻りに選ばれます。最もよく使われる8ビットから16ビット分解能のSAR ADCは、低電力消費及び小型形状を提供します。この組み合わせによって、携帯用バッテリー駆動装置、ペンディジタルタイザ、工業用制御、及びデータ/信号キャプチャのような、広範囲なアプリケーションに理想的です。

名前が意味するように、SAR ADCは、基本的にバイナリ探索アルゴリズムを実行します。そのため、内部回路があるメガヘルツ(MHz)で動作している間、ADCのサンプル速度は、逐次比較アルゴリズムによってその数字の分数になります。

## SAR ADCアーキテクチャ

SAR ADC実行において多くのバリエーションがありますが、基本アーキテクチャは非常にシンプルです(図1)。アナログ入力電圧( $V_{IN}$ )がトラック/ホールド上で保持されます。バイナリ探索アルゴリズムを実行するために、Nビットレジスタは最初に中間スケール(つまり、100....00、ここでMSBは「1」に設定されます)に設定されます。これによって、デジタルアナログコンバータ(DAC)出力( $V_{DAC}$ )を $V_{REF}/2$ に設定します。この場合、 $V_{REF}$ はADCに供与されるリファレンス電圧です。この後、 $V_{IN}$ が $V_{DAC}$ 以下か以上であるかを決定するために、比較が実行されます。 $V_{IN} > V_{DAC}$ の場合、コンパレータ

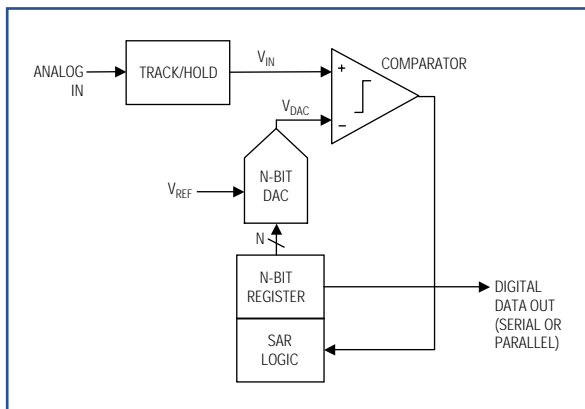


図1. この図は、簡素化されたNビットSAR ADCアーキテクチャを示しています。

出力はロジックハイまたは「1」で、NビットレジスタのMSBは「1」を維持します。逆に、 $V_{IN} < V_{DAC}$ の場合、コンパレータ出力はロジックローで、レジスタのMSBはロジック「0」にクリアされます。SAR制御ロジックは、その後、次のビットダウンに移行し、そのビットをハイに設定して、次の比較を実行します。このシーケンスはLSBまで続きます。一旦これが終了すると、変換が完了し、Nビットデジタルワードがレジスタで利用可能になります。

図2は4ビット変換の例を示しています。y軸(及び図中の太線)はDAC出力電圧を表しています。この例で、最初の比較は $V_{IN} < V_{DAC}$ を示しています。つまり、ビット3は「0」に設定されています。DACはその後0100<sub>2</sub>に設定され、第2の比較が実行されます。 $V_{IN} > V_{DAC}$ の時、ビット2は「1」を維持します。DACはその後0110<sub>2</sub>に設定され、第3の比較が実行されます。ビット1は「0」に設定され、その後最後の比較のためDACは0101<sub>2</sub>に設定されます。最終的に、ビット0は、 $V_{IN} > V_{DAC}$ のため、「1」に留まります。

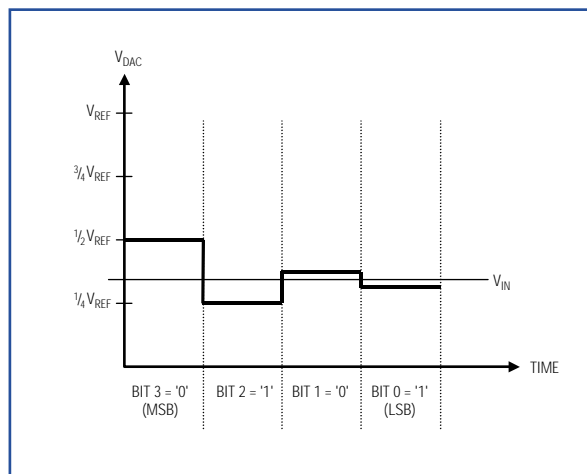


図2. このグラフは、4ビットSARアーキテクチャでの逐次決定に関するDAC出力電圧を示しています。

4ビットADCは4つの比較期間を必要とすることに留意して下さい。一般に、NビットSAR ADCは、N個の比較期間が必要になり、現在の比較が完了するまで次の変換準備ができません。この要件のために、これらのADCは電力及びスペース効率が良いのに、14ビットから16ビットで、数Msps以上の速度及び分解能の組み合わせにおいてあまり使用されていません。市場で入手可能な超小型のADCのいくつかは、SARアーキテクチャに基づいています。QSPI™シリアルインタフェース、8ビットADCのMAX1115 MAX1118シリーズ、及びさらに高分解能の対応品(10ビットMAX1086及び12ビットMAX1286)は、3mm x 3mmの小型SOT23パッケージに

QSPIはMotorola, Inc.の商標です。

収まります。I<sup>2</sup>CコンパチブルMAX1036/MAX1037は4つの8ビットADCチャンネル及びリファレンスがSOT23パッケージに収められています。

SAR ADCのもう1つの特長は、通常、サンプル速度に対して電力が一定しているフラッシュまたはパイプラインADCとは異なり、電力消費がサンプル速度に対してスケールされていることです。この特長は、低電力アプリケーションまたはデータキャプチャが連続していないアプリケーション(例えば、MAX1233のようなPDAディジタイザ)において特に有用です。

## SARの詳細分析

SAR ADCの2つの重要な要素は、コンパレータとDACです。後ほど検討しますが、図1に示されているトラック/ホールドは、DACの中に埋め込むことが可能で、明示されている回路ではないかもしれませんが。

SAR ADCの速度は以下によって制限されます：

- DACのセトリング時間、これはコンバータ全体の分解能(例えば1/2LSB)内にセトルしなければならない時間。
- コンパレータ、規定時間内で $V_{IN}$ 及び $V_{DAC}$ の小さな差を解決しなければならない。
- ロジックオーバーヘッド。

## DAC

DACの最大セトリング時間は、普通MSBセトリング時間によって決定されます。これは、ただ単にMSB遷移がDAC出力の最大の変位を表しているからです。更に、ADC全体の直線性はDACの直線性によって制限されます。そのため、12ビット以上の分解能のSAR ADCは、

必要な直線性を達成するためにトリミング又はキャリブレーションを必要とすることが度々あります。これは、内在的な部品マッチングの制限によるものです。プロセスや設計に依存するところもありますが、部品マッチングは実際のDAC設計において直線性を約12ビットに制限します。多くのSAR ADCは、内在的トラック/ホールド機能を提供する容量性DACを使っています。容量性DACは、アナログ出力電圧を生成するために、電荷再配分の原則を採用しています。このような種類のDACがSAR ADCにおいて最も一般的なもので、これらの動作について論議するのが有効だと思われます。

容量性DACは、バイナリ重み付値をもつN個のコンデンサと1つの「ダミー-LSB」コンデンサのアレイによって構成されています。図3には、コンパレータに接続された16ビット容量性DACの例が示されています。キャプチャでは、アレイの共通端子(すべてのコンデンサが接続を共有している端子)が、グランドに接続されており、未使用の全ての端子は、入力信号(アナログInまたは $V_{IN}$ )に接続されています。

キャプチャ後、共通端子はグランドとの接続から外され、未使用の端子は $V_{IN}$ との接続から外され、コンデンサアレイ上の入力電圧に比例した電荷を効率的に捕獲します。全コンデンサの使用されていない端子は、その後、グランドに接続され、共通の端子を $-V_{IN}$ に等しい負の電圧に駆動します。

バイナリ探索アルゴリズムの最初のステップとして、MSBコンデンサの未使用端子がグランドから外され $V_{REF}$ に接続され、共通端子を $1/2V_{REF}$ に等しい量だけ正の方向に駆動します。例えば、 $V_{IN}$ が $3/4V_{REF}$ に等しい場合、MSBコンデンサを $V_{REF}$ に、残りのコンデンサをグランドに接続すると、共通端子は $(-3/4V_{REF} + 1/2V_{REF}) = -1/4V_{REF}$ に駆動されます。この電圧を

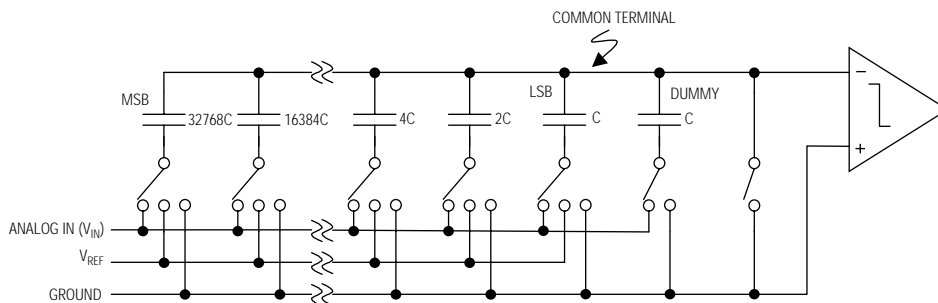


図3. この図は、16ビット容量DACの基本アーキテクチャを示し、スイッチ配列及びコンパレータに対するインタフェースを模式化しています。

グラウンドと比較すると、コンパレータ出力は、ロジック「1」になり、MSBが $1/2V_{REF}$ より大きいことを暗に示します。

逆に、 $V_{IN}$ が $1/4V_{REF}$ に等しい場合、共通端子は $(-1/4V_{REF} + 1/2V_{REF}) = +1/4V_{REF}$ で、コンパレータ出力は、ロジック「0」になります。これに続いて、次に大きなコンデンサがグラウンドとの接続を外され、 $V_{REF}$ に接続され、コンパレータは次のビットを決定します。これは、全てのビットが決定されるまで続きます。

## DACキャリブレーション

理想的なDACでは、データビットに関連するコンデンサそれぞれが、次に小さいコンデンサの値の正確に2倍でなければなりません。これは、高分解能ADC(例えば、16ビットADC)では、経済的に実現可能な大きさとして実用化されるには広範囲すぎる値を生じる結果となります。MAX195のような16ビットSAR ADCは、実際に、LSBアレイの実効値を減少させるために、容量的に結合された2つのアレイから構成されたコンデンサアレイを利用しています。MSBアレイのコンデンサは、誤差を減少するために製造時に調整されています。LSBコンデンサの小さな変化は、16ビットの結果に些細な誤差を出します。残念なことに、トリミングだけでは16ビット性能、または温度や供給電源や他のパラメータの変化による性能の変化の補償ができません。

この理由から、MAX195には、MSBアレイの各コンデンサにキャリブレーションDACが含まれています。これらのDACは、主要DAC出力に容量的に結合され、デジタル出力上の値に従って、主要DACの出力とオフセットしています。

キャリブレーション中、各MSBコンデンサの誤差を補償するために、適正なデジタルコードが決定され、保存されます。それ以後は、保存されたコードは主要DACの対応するビットが高い場合は適正にキャリブレーションされたDACに供与され、関連するコンデンサの誤差を補償します。通常キャリブレーションはユーザーによって、または電源投入時に自動的に開始されます。

ノイズの影響を減少させるために、それぞれのキャリブレーションが何度も(MAX195ではおよそ14,000クロックサイクル)実行され、結果の平均値が取られます。キャリブレーションは電源電圧が安定している時に行うのが最も適切です。高分解能ADCは、パラメータがDCオフセットに影響するので、電源電圧、温度、リファレンス電圧、またはクロック特性に大きな変化がある場合はいつも再キャリブレーションされるべきです。直線性が唯一の懸念される場合は、これらのパラメータ

により大きな変化があっても許容できます。キャリブレーションデータがデジタルで保存されるので、精度を維持するために頻繁に変換する必要はありません。

## コンパレータ

コンパレータにはスピードと精度が要求されます。コンパレータオフセットは、直線性全体に影響しませんが、トランスファ特性全体にオフセットとして現れます。更に、オフセットキャンセレーションテクニックが、コンパレータオフセットを減少させるために通常適用されます。しかし、ノイズが問題であり、コンパレータは入力換算ノイズが1LSB以下になるように通常設計されます。その上、コンパレータはシステム全体の精度範囲で電圧を解消する必要があります。言い換えると、コンパレータは、システム全体同様に正確である必要があるということです。

## SAR ADC 対 その他のADCアーキテクチャ

### パイプラインADC

MAX1200のようなパイプラインADCは、各ステージが1から数ビットの逐次サンプルで同時に動作する並列構造を採用しています。内在的並行性は、スループットを増加しますが、これは電力消費とレイテンシーの犠牲上になりがちです。

レイテンシーとは、この場合アナログサンプルがADCによってキャプチャされる時間と、デジタルデータが出力可能になる時間の差と定義されます。

例えば、5ステージパイプラインADCは、少なくとも5クロックサイクルのレイテンシーあり、それに反してSARは1クロックサイクルのレイテンシーです。レイテンシーの定義は、ADCスループットにのみ適用され、スループットの周波数の数倍で運行するSARの内部クロックには適用されないことを留意して下さい。

パイプラインADCには、各パイプラインステージでの、フラッシュADC(つまり、コンパレータ)の精度要件を軽減するために、デジタル誤差補正ロジックが装備されていることがよくあります。一方、SAR ADCはコンパレータがシステム全体と同様に正確であることを要求します。

パイプラインADCは、一般に同等のSARに比べ非常に大きなシリコン領域を占めます。SARと同じように、12ビット以上の精度のパイプラインADCは、通常なんらかのトリミングまたはキャリブレーションを必要とします。

## フラッシュADC

MAX117/MAX104のようなフラッシュADCは、それぞれが広帯域、低利得プリアンプとそれに続くラッチから成るコンパレータの大きなバンクによって構成されています。プリアンプは利得だけを提供するもので、線形である必要はなく、高精度である必要もありません。つまり、コンパレータのトリップポイントのみが正確であれば良いのです。その結果、フラッシュADCは、入手可能な最速のアーキテクチャとなります。速度のトレードオフとして、主に低電力消費と小型の形状があげられます。MAX104/MAX106/MAX108(及びそれらのフォールディング/補間品種)のような非常に高速な8ビットフラッシュADCは、最高1.5Gspsのサンプリング速度をもっています。12ビット以上のフラッシュADCは商業的に有効な製品として存在していませんが、10ビットフラッシュADCを見つけることはそれ以上に困難です。フラッシュADCでは、コンパレータの数が分解能の追加ビット毎に2の因数で増え、同時に各コンパレータの精度は2倍でなければなりません。しかし、SAR ADCでは分解能を増加すると、より精度の高い素子が要求されますが、複雑さは相関的に増加しません。もちろん、SAR ADCは、フラッシュADCの速度と対比できるような速度は可能ではありません。

## シグマ-デルタコンバータADC

従来、デジタルオーディオのアプリケーションで使われている伝統的なオーバーサンプリング/シグマ-デルタコンバータは、およそ22kHzの帯域に限定されていました。最近になり、高帯域のシグマ-デルタコンバータによっては、12ビットから16ビットの分解能で1MHzから2MHzの帯域に到達したものもあります。これらのコンバータは、通常、マルチビットADCとマルチビットフィードバックDACを組み込んだ、非常に高次(例えば4次以上)のシグマデルタモジュレータです。

MAX1400/MAX1403のようなシグマデルタコンバータは16ビットから18ビットの分解能に達成するのに、特別なトリミングまたはキャリブレーションを必要としない内在的な利点をもっています。これらは、また、

サンプリング速度が有効帯域よりずっと高いので、アナログ入力で急勾配のロールオフ付のアンチエイリアスフィルタも必要としません。

シグマデルタコンバータのオーバーサンプリングの特質は、アナログ入力におけるいかなるシステムノイズでも「平均化」という傾向があります。しかし、シグマデルタコンバータは、速度と分解能の機能が引き換えになります。最終サンプルを1つ作成するために、何度も(少なくとも16回以上)サンプルする必要があるということは、シグマデルタモジュレータ内部のアナログ素子が最終データ速度よりもずっと速く動作することを命じています。デジタルデシメーションフィルタの設計も困難の多い仕事であり、多くのシリコン領域を占有します。近い将来において、最速の高分解能シグマ-デルタコンバータが数メガヘルツをかなり超えた高帯域を持つことは期待されていません。

## 結論

まとめとして、SAR ADCの主な利点は、低電力消費、高分解能、高精度、出力データのレイテンシーがないこと、及び小型形状であることです。これらの利点によって、SAR ADCは、しばしば他のより大きな機能との集積化が可能となります。SARアーキテクチャを制約している主な要件は、より低いサンプリング速度、及びDACやコンパレータのような構成ブロックの要求条件が、システム全体同様に正確でなければならないことです。

## 参考文献:

1. MAX195データシート; Rev. 1、12/97、Maxim Integrated Products
2. Razavi, Behzad; データ変換の原則、システムデザイン、IEEE Press、1995年
3. Van De Plassche, Rudy; 集積化アナログトゥデジタル及びデジタルトゥアナログコンバータ; Kluwer Academic Publishers、1994年
4. 「パイプライン化されたADC - 最近の進歩」、アプリケーションノート、2001年、Maxim Integrated Products