

**HFTA-14.0**

Rev. 1; 04/08

---

---

## **GPON FEC 接收器的设计挑战**

*类似文章发表在Lightwave Magazine (2006年5月刊)*

---

---



*Maxim Integrated Products*

# GPON FEC 接收器的设计挑战

## 1 引言

在 ONT 中究竟是选择 APD 还是 FEC 技术呢？这是一个涉及数百万美元成本的重要问题，因此许多 GPON 系统制造商对此极为关心。为向遍布北美乃至世界其它地区的家庭提供 Triple-Play 业务(视频、语音和数据)，千兆位无源光网络(GPON)是被重点考虑的方案。为满足用户端(ONT - 光网络终端)的链路预算和成本目标，最佳方案究竟是采用雪崩光电二极管(APD)接收器还是选择带前向纠错(FEC)的标准接收器，目前尚存在许多争议。考虑到 GPON 部署后可预见的巨大用量，这的确是一个涉及数百万美元的重要问题，因为不同的实施方案有着不同的材料成本、测试成本或面市时间，这将直接导致数百万美元的收益或损失。

采用 APD 的接收器可以很轻松地满足灵敏度要求，但成本较高。雪崩光电二极管价格昂贵，需要高压偏置和温度补偿。虽然 FEC 要实现编、解码会增加一些成本和复杂度，但大家普遍认为它比 APD 方案要便宜得多。不过，在设计基于 FEC 的 GPON 接收器时，将要面临的设计挑战及其所带来的复杂度和成本增加问题常常被忽视。

本文简要阐述了 FEC 的工作原理，说明了采用 FEC 方案时抖动对接收器灵敏度的影响。文中还给出了两种不同类型接收器电路的实际测试数据，从而说明其预期性能。采用 FEC 技术构建 GPON 时，选择 ONT 接收器元件(图 1)应该考虑哪些问题，本文也进行了讨论。

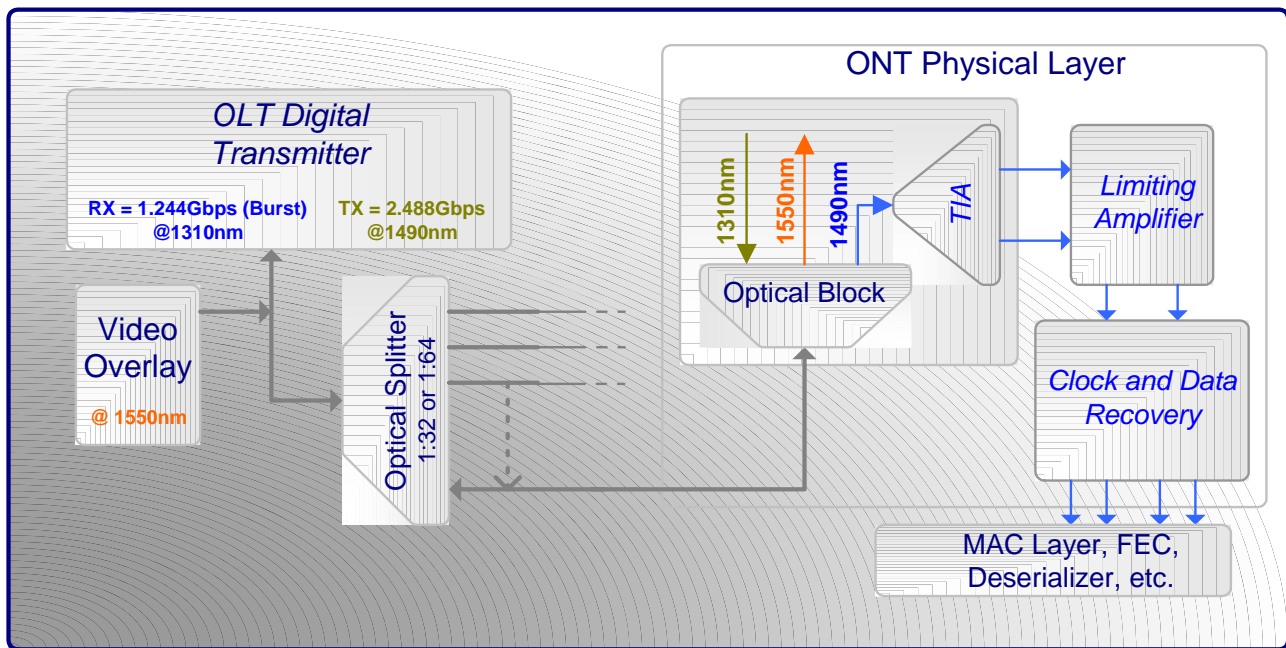


图 1. GPON ONT 接收器元件构成

## I. 前向纠错

前向纠错(FEC)是一种降低数字通信链路误码率(BER)的技术,其基本原理是:按照某种方式对发送的数据位进行编码,接收到数据位后,可检测并校正数据位错误。这通常需要在数据流中加入额外的“冗余位”,这些冗余信息是由接收器已知的、预先定义的编码算法得到的。接收到数据和冗余位以后(位于链路的“前向”端),可以通过算法逆推来恢复原始数据。

举一个简单的例子,我们可以考虑发送三位“码字”来表示每个数据位,例如,发送 010 代表数据位“0”,发送 101 代表“1”。如果接收的码字是 010 或 101 以外的其它值,则说明出现了误码,假定单个位发生错误的概率远大于多位错误的概率,可以很容易地校正错误。例如,假设接收到 000、110 或 011,则正确的码字最有可能是 010。这种方法的缺点是我们必须发送三倍于原始数据的数据量,但链路前向端的所有单个位错误均可得到校正。

对 FEC 编码方案的研究步伐一直没有停止过,目前已经存在多种不同的方案。改进 FEC 的目标是实现更高的编码效率(冗余位开销更低),同时能够校正更多错误(称为编码增益)。FEC 编码降低了 BER,不带 FEC 时要实现相同的 BER 则需要相应提高发送功率(或提高灵敏度),此时需要提高的发送功率幅度即是编码增益。多种编码方案的复杂细节不属本文的论述范围,下面讨论 FEC 编码都会遇到的一个问题,这也是本篇文章论述的重点。

与分离的误码(在数据中随机分布)情况相比,FEC 编码往往更容易受到突发误码的影响,这是一个非常值得关注的问题。还是参考上文给出的简单例子,假设发送 010 和 101 两个码字,并且传输过程中有两位出现了错误。如果这两个误码分别出现在两个码字中,可以很容易地校正误码。但是,如果两个误码出现在同一个码字中,就不能正确地校正了。因此,突发误码(相对于分布误码)可能会极大地降低 FEC 编码的纠错能力,这正是问题所在。

普遍的观点认为突发误码发生的概率极小,因此它们的影响大体可以忽略。这一论点基于以下假设:每一位发生错误的概率均等(例如  $10^{-9}$ ),因此两个相邻位发生错误的概率是单个数据位发生错误的概率的平方(即  $10^{-9} \times 10^{-9} = 10^{-18}$ ),以此类推。所以多个相邻位发生错误几乎不可能。这也引发了一些有趣的问题:(1) 突发误码发生的概率极小这一假设在多大程度上是成立的呢?(2) 是否有可能存在更容易发生突发误码的实际情况呢?这些问题的答案对于依赖FEC编码增益的系统来说极具意义。

## II. 振幅噪声及时序噪声(抖动)

导致误码的两个主要原因是:(1) 信号振幅上的加性高斯白噪声(AWGN),(2) 数据和恢复的时钟信号之间时序不同步,称为抖动[1]。由 AWGN 引起的振幅噪声本质上是随机的,许多数字通信教材对此均有讲述[2],与之对应,由它导致的误码也是随机的,并且发生概率与信噪比成反比。另一方面,随机或确定性因素可能引起抖动。抖动会造成 FEC 编码增益下降,这是本篇文章讨论的主要议题。

抖动通常分为两类：随机抖动(RJ)和确定性抖动(DJ)。产生随机抖动最通常的原因是：当限幅放大器输入信号穿越“0”和“1”之间的转换门限时，振幅噪声会转换成时序噪声[3]。确定性抖动的两种最常见类型是码型相关抖动(也称码间干扰或 ISI)和脉宽失真(PWD)。ISI 是系统带宽与信号带宽不匹配造成的，PWD 则是因 TIA 的输出幅度太小，以至于和限幅放大器的灵敏度相当而造成的。需要特别注意的是，当限幅放大器的输入信号逐渐减小直至接近规定的最小值(灵敏度)时，其输出抖动急剧增加。

现在比较两种接收器，每一种均使用了互阻放大器(TIA)，后跟一个限幅放大器(LA)。这两种接收器中，我们假定 TIA 和 LA 组合后的总增益是相同的。第一种接收器的 TIA 增益较高，LA 增益较低。相反，第二种接收器的 TIA 增益较低，而 LA 增益较高。当 TIA 的输入功率减小到接近接收器灵敏度时，我们来讨论这两种接收器的性能表现。在第一种接收器中，由于 TIA 增益较高，因此其输出信号总是大于 LA 的灵敏度，所以整个接收器的灵敏度主要取决于 TIA 的输入参考噪声。在第二种接收器中，TIA 增益较小，导致其输出信号可能会下降到接近 LA 的灵敏度，所以整个接收器的灵敏度主要由 LA 输入参考噪声决定，这也导致限幅放大器输出的抖动增大。这个例子说明了一个很重要的问题：即使两个接收器总的接收灵敏度是一样的，最终限幅放大器输出信号的振幅噪声和抖动特性也可能存在非常大的差异。

### III. 抖动对时钟和数据恢复电路(CDR)的影响

在典型的数字通信接收器中，限幅放大器后跟时钟和数据恢复(CDR)电路。CDR 使用一个锁相环(PLL)来生成与输入数据信号同步的时钟信号。抖动容限是 CDR 的一个关键指标，它是指不会导致误码率升高并超过规定门限的条件下，CDR 能够承受的输入抖动大小。不同的 CDR 架构(通常与其复杂度和价格相关)，所具有的抖动容限也不相同。并且，某些 CDR 对随机抖动的承受度要优于对确定性抖动的承受度，反之亦然。

根据定义，当 CDR 输入抖动开始接近规定的抖动容限时，误码将会增加。与采用 FEC 编码技术相关的一个重要问题是，CDR 输入抖动造成的误码是如何分布的。误码是随机间隔的，还是突发形式的呢？这个问题的确切答案取决于许多因素，如 CDR 的电路结构，但一般来说，CDR 输入抖动导致的误码主要是由数据和恢复时钟之间的短暂同步错误引起的，许多次同步错误就会导致突发误码。如上所述，TIA 增益和 LA 增益之间的大小关系会极大地改变总的振幅噪声和抖动特性，这些反过来又会影响 CDR 的性能并可能影响误码的分布形式。下面我们将通过实际测试结果，来说明这种关系对 FEC 编码增益所产生的深远影响。

### IV. 测试数据

为了说明抖动和突发误码对千兆位FEC数字接收器的影响，在接与不接CDR的情况下，分别对两种接收器电路的各种参数进行了测试。第一个接收器是常规的 2.5Gbps接收器，包括一个PIN二极管、一个低增益TIA和一个限幅放大器。第二个接收器采用增益较高、但噪声也较大的TIA。两种接收器的BER与输入功率(归一化至给定灵敏度等级， $BER = 10^{-10}$ )之间的关系如图 2 所示。假设FEC校正可以补偿  $10^{-5}$ 至  $10^{-4}$ 的BER，可以预见，采用FEC的低增益(LG)接收器需要 1.9 至 2.8dB的编码增益，而高增益(HG)接收器需要约 3.3 至 4.3dB的编码增益。

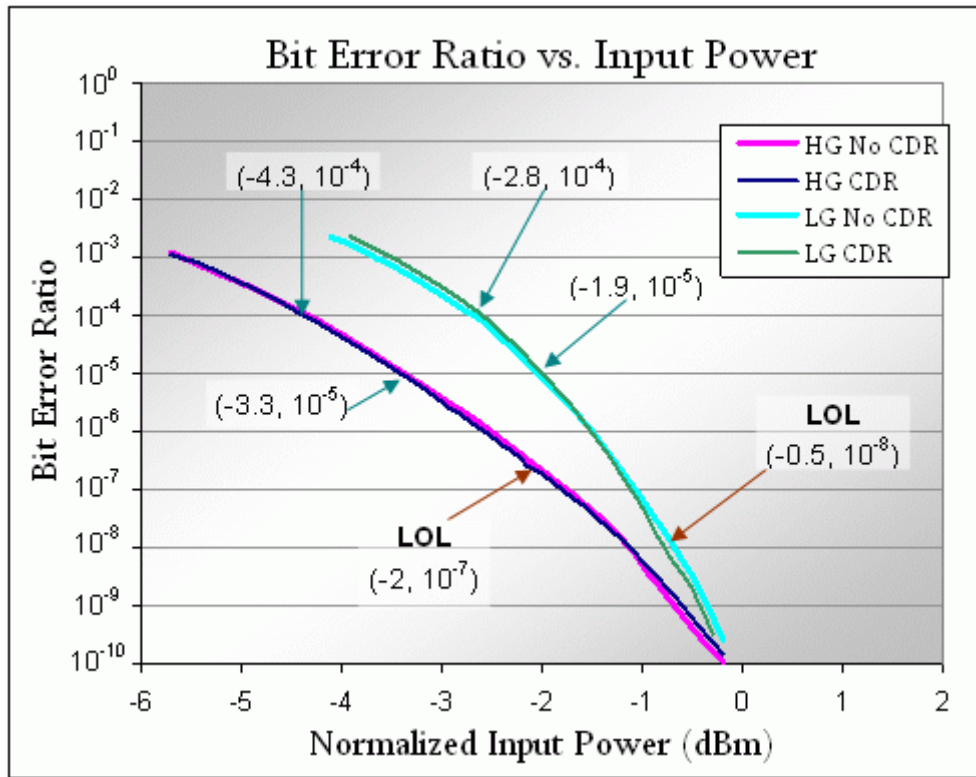


图2. 误码率与输入功率的关系

在每个接收器输出串接常规的低成本 CDR (MAX3872)后, 图 2 同样给出了相应的误码率。以此作为参考, 可以得出以下结论: 无论连接 CDR 与否, 两种接收器的 FEC 编码增益近似相同(LG 和 HG 接收器分别为 1.9 至 2.8dB 和 3.3 至 4.3dB)。然而, 接下来我们会看到, 由于接收器抖动特性的影响, 实际获得的 FEC 编码增益远低于预计值。

对于LG接收器, CDR的输出信号在BER为  $10^{-8}$ 时出现失锁(LOL) (失锁输出基于确定性和随机输入抖动变化而进行转换), 此时的输入信号强度约比典型灵敏度低 0.5dB (图 2)。当CDR与HG接收器配合使用时, 当输入信号强度比典型灵敏度低 2dB时开始出现失锁。虽然出现失锁并不能说明一定出现了误码或突发误码, 但是它警告设计者, 此时CDR输入的抖动已经接近或达到了最大抖动容限, 需要深入考察误码的统计情况。

用误码分析仪对两种接收器的突发误码发生概率进行观察, 确实可以看到以下现象, 在图 2 所示的LOL点处, 偶尔会出现较长的突发误码(>20 位)。图 3 给出了连接CDR (蓝色条)和不接CDR (绿色条)时HG接收器的突发误码概率分布, 此时误码率约为  $10^{-5}$ 。不串接CDR时, 可以预见突发误码是由随机事件引起的。串接CDR时, 出现的突发误码延长到三十个连续位以上, 并会导致编码增益大为降低。对于这类突发误码, LG接收器CDR输出的FEC编码增益近似为 0.5dB, HG接收器约为 2dB。

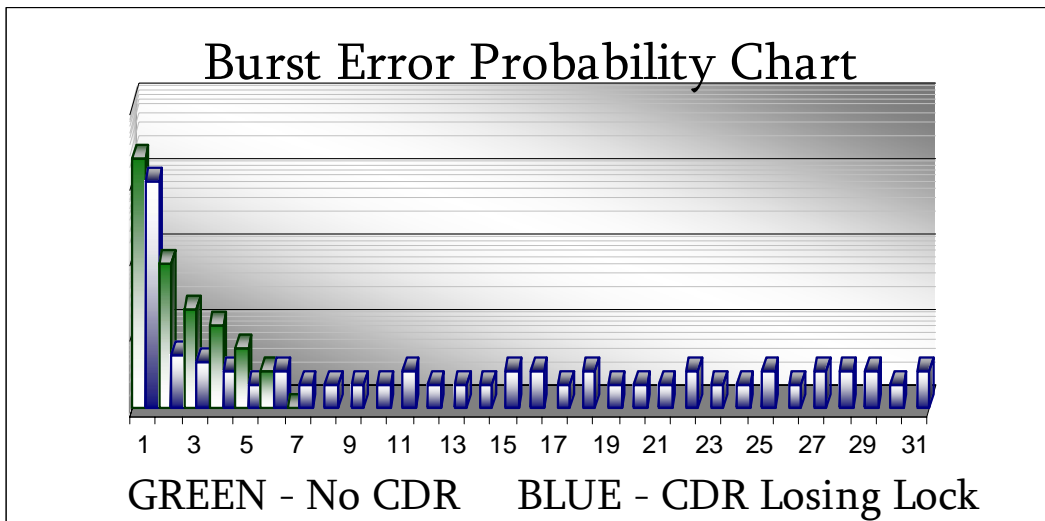


图3. 突发误码概率分布图

通过测量整个链路(发送器 -> 光电二极管 -> TIA -> LA)的抖动特性，并将测试结果与 CDR 的额定抖动容限相比较，可以进一步确定失锁和突发误码发生的位置。图 4 标出了 LG 和 HG 接收器的链路抖动超过 MAX3872 CDR 抖动容限的大概位置。这些位置对应图 2 所示的 LOL 啁啾位置。

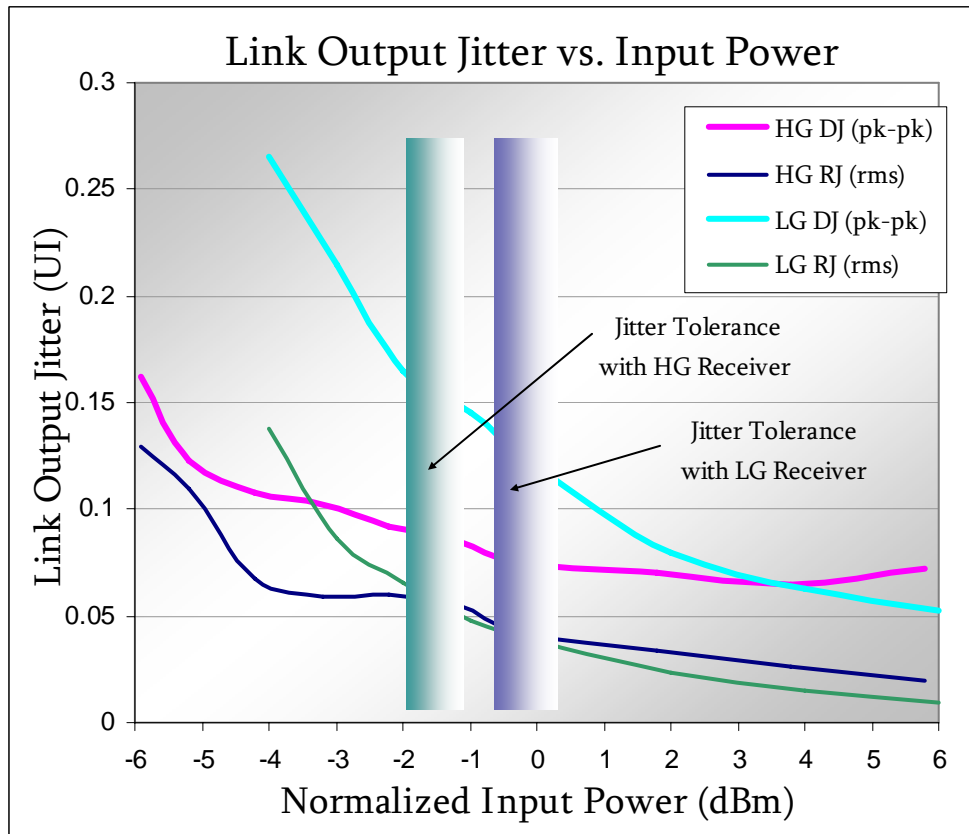


图4. 链路输出抖动与输入功率的关系

由图 4 可知，输入功率高于归一化灵敏度时，LG 接收器比 HG 接收器的抖动小，但随着输入功率接近并低于此灵敏度时，它的抖动迅速增加。这主要是因为与 TIA 的输出信号相比，限幅放大器的灵敏度非常大。换句话说，TIA 的增益太低，从而导致输出无法达到 LA 的最小输入电平要求。

当输入功率大于归一化灵敏度时，HG 接收器的抖动较大；而输入功率低于灵敏度时，HG 接收器的输出抖动较小。在这种情况下，限幅放大器的输入信号电平大于 LA 的灵敏度。LG 接收器在 2.488Gbps 速率下灵敏度可达到 -25dBm，不过如果要求目标灵敏度最小应达到 -27 至 -28dBm，那么即使串接一个理想的 CDR，并假定 LG 接收器的编码增益可能达到 2.8dB，LG 接收器也并不适合。而 FEC 编码增益为 2dB 时，HG 接收器连接传统的低成本 CDR 即可提供充分的裕量。

假设已尽最大可能地降低了发送器的抖动，通过以上例子的分析可知，当在 GPON 系统中采用 FEC 技术时，应根据以下原则选取其中一个或两个器件。

**选择高性能 TIA** - 选择合适的 TIA 是成功实现 FEC 方案的关键要素。假设使用常规的数千兆位限幅放大器，如 MAX3747 (灵敏度为 2 至 4mV)，那么 TIA 应具备低噪声 ( $\approx 250\text{nA}$ )、高增益 ( $\approx 7\text{k}\Omega$ ) 以及足够的带宽 (约 2GHz)。TIA / LA 在输入功率为 -27dBm 或更低的情况下应具有  $10^{-10}$  的 BER，而且 TIA 的增益应该足够大，这样一来，当输入信号比 BER 为  $10^{-10}$  时的输入电平再小 2 至 3dB 时，仍可保证其输出信号相对于 LA 灵敏度来说足够大。假设 TIA / LA 的典型灵敏度是 -27dBm 至 -28dBm，则 FEC 编码增益为 3 至 4dB 时，就可以提供足够的裕量，以应对温度变化和器件之间的性能差异，同时满足 GPON 的要求。遗憾的是，在数千兆位速率下具有如此性能表现的 TIA 往往十分昂贵，因为要实现这些性能，IC 工艺极为复杂。

**选择带外部参考时钟的 CDR** - 还可采用抖动容限较高的 CDR 来提高 FEC 编码增益。虽然 MAX3872 的抖动容限相当好，但带外部参考时钟的 CDR 通常具有更高的抖动容限。由于 OLT 包含主系统时钟，参考时钟仅仅用于控制时钟恢复至 OLT 频率，因此必须慎重选择 CDR，这样才可以提供高的抖动容限。采用这一方案的缺点是参考时钟和/或选择具有足够抖动容限的低成本 CDR 所带来的成本。

## 结论

通过以上讨论可知，GPON 系统的下行数字数据需要非常低的信号检测门限。前向纠错技术可以很好地满足这些系统的链路预算。但是设计一个达到预期灵敏度和编码增益的 FEC 接收器需要高性能的接收器组件。采用这些高性能元器件会增加系统的成本和复杂度，这一点可能是设计者始料不及的。

参考文献：

[1] Maxim Integrated Products 应用笔记 HFAN-04.0.4, “Jitter in Digital Communication Systems, Part 2,” <http://www.maxim-ic.com.cn/AN987>。

[2] B. Sklar, *Digital Communications: Fundamentals and Applications*, Englewood Cliffs, New Jersey: Prentice Hall, pp. 733-743, 1988。

[3] J. Redd, “Synch and clock recovery – an analog guru looks at jitter,” in *Electronic Engineering Times, Planet Analog Section*, 1181 期, 8 月 27 日, 2001 年。